



#4

PATENT  
450100-03598

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants : Akira SUGIYAMA et al.  
Serial No. : 10/002,661  
Filed : October 31, 2001  
For : SIGNAL PROCESSOR  
Art Unit : 2621

745 Fifth Avenue  
New York, New York 10151  
Tel. (212) 588-0800

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to:  
Assistant Commissioner for Patents  
Washington, D.C. 20231, on February 6, 2002

Gordon Kessler, Reg. No. 38,511

Name of Applicant, Assignee or  
Registered Representative

*Gordon Kessler*  
Signature

February 6, 2002  
Date of Signature

CLAIM OF PRIORITY

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

In support of the claim of priority under 35. U.S.C.  
§ 119 asserted in the Declaration accompanying the above-entitled application, as filed, please find enclosed herewith a certified copy of Japanese Application No. 2000-335069, filed in Japan on 1 November 2000 forming the basis for such claim.


PATENT  
450100-03598

Acknowledgment of the claim of priority and of the  
receipt of said certified copy(s) is requested.

Respectfully submitted,

FROMMER LAWRENCE & HAUG LLP  
Attorneys for Applicants

By:

  
Gordon Kessler  
Reg. No. 38,511  
Tel. (212) 588-0800

Enclosure(s)



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月 1日

出 願 番 号

Application Number:

特願2000-335069

出 願 人

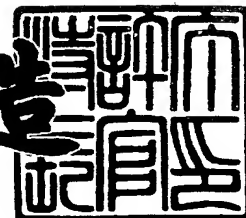
Applicant(s):

ソニー株式会社

2001年10月26日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3094892

【書類名】 特許願

【整理番号】 9900870904

【提出日】 平成12年11月 1日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H04N 7/24

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 杉山 晃

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 富樫 治夫

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 藤堂 晋

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 松本 英之

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100082762

【弁理士】

【氏名又は名称】 杉浦 正知

【電話番号】 03-3980-0339

【手数料の表示】

【予納台帳番号】 043812

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9708843

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号処理装置および方法、ならびに、記録装置および方法

【特許請求の範囲】

【請求項 1】 所定単位で可変長符号と該可変長符号の有効長を示す情報とが格納されたデータを処理する信号処理装置において、

所定単位で可変長符号と該可変長符号の有効長を示す情報とを格納した入力データを入力する入力手段と、

上記入力手段によって入力された上記入力データの上記所定単位の先頭を検出する先頭検出手段と、

上記有効長を示す情報に基づき、上記入力手段によって入力された上記入力データの上記所定単位の終端を検出する終端検出手段とを有し、

上記先頭検出手段で検出された上記先頭で処理を有効にし、上記終端検出手段で検出された上記終端で処理を無効にすると共に、上記終端検出手段で検出された上記終端で処理の状態を初期化するようにしたことを特徴とする信号処理装置。

【請求項 2】 請求項 1 に記載の信号処理装置において、

上記入力データは、MPEG 符号化データに基づくことを特徴とする信号処理装置。

【請求項 3】 所定単位で可変長符号と該可変長符号の有効長を示す情報とが格納されたデータを処理する信号処理方法において、

所定単位で可変長符号と該可変長符号の有効長を示す情報とを格納した入力データを入力する入力のステップと、

上記入力のステップによって入力された上記入力データの上記所定単位の先頭を検出する先頭検出のステップと、

上記有効長を示す情報に基づき、上記入力のステップによって入力された上記入力データの上記所定単位の終端を検出する終端検出のステップとを有し、

上記先頭検出のステップで検出された上記先頭で処理を有効にし、上記終端検

出のステップで検出された上記終端で処理を無効にすると共に、上記終端検出のステップで検出された上記終端で処理の状態を初期化するようにしたことを特徴とする信号処理方法。

【請求項4】 所定単位で可変長符号と該可変長符号の有効長を示す情報とが格納されたデータが入力され、入力されたデータに記録のための処理を施して記録媒体に記録する記録装置において、

所定単位で可変長符号と該可変長符号の有効長を示す情報とを格納した入力データを入力する入力手段と、

上記入力手段によって入力された上記入力データの上記所定単位の先頭を検出する先頭検出手段と、

上記有効長を示す情報に基づき、上記入力手段によって入力された上記入力データの上記所定単位の終端を検出する終端検出手段とを有し、

上記先頭検出手段で検出された上記先頭で処理を有効にし、上記終端検出手段で検出された上記終端で処理を無効にすると共に、上記終端検出手段で検出された上記終端で処理の状態を初期化するようにした信号処理装置を備えたことを特徴とする記録装置。

【請求項5】 請求項4に記載の記録装置において、

上記入力データは、MPEG符号化データに基づくことを特徴とする記録装置

【請求項6】 所定単位で可変長符号と該可変長符号の有効長を示す情報とが格納されたデータが入力され、入力されたデータに記録のための処理を施して記録媒体に記録する記録方法において、

所定単位で可変長符号と該可変長符号の有効長を示す情報とを格納した入力データを入力する入力のステップと、

上記入力のステップによって入力された上記入力データの上記所定単位の先頭を検出する先頭検出のステップと、

上記有効長を示す情報に基づき、上記入力のステップによって入力された上記入力データの上記所定単位の終端を検出する終端検出のステップと

を有し、

上記先頭検出のステップで検出された上記先頭で処理を有効にし、上記終端検出のステップで検出された上記終端で処理を無効にすると共に、上記終端検出のステップで検出された上記終端で処理の状態を初期化するようにした信号処理方法を備えたことを特徴とする記録方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、可変長符号を用いて圧縮符号化されたビデオデータのフレーム単位での処理を安定的に行うことができるようにした信号処理装置および方法、ならびに、記録装置および方法に関する。

【0002】

【従来の技術】

近年では、デジタルビデオ信号を圧縮符号化する方式として、MPEG (Moving Pictures Experts Group) と称される符号化方式が広く用いられている。MPEG は、DCT (Discrete Cosine Transform) と予測符号化を用いた動画圧縮の規格である。1 フレーム分の画像データを所定サイズのマクロブロックに分割し、マクロブロック単位で動きベクトルを用いて予測符号化され、マクロブロックがさらに分割されたDCTブロック単位でDCTが行われ、可変長符号化される。現状では、より拡張性が高く高画質が得られるようにされたMPEG 2 が主流となっている。

【0003】

MPEG 2 のデータは、階層構造を有するデータストリームからなる。階層は、上位からシーケンス層、GOP (Group Of Picture) 層、ピクチャ層、スライス層、マクロブロック層となっており、各層は、それぞれ1以上の下位構造を含む。各層は、それぞれヘッダ部を有する。また、マクロブロック層を除く各層には、ヘッダ部に先んじてスタートコードが配される。

【0004】

マクロブロックは、16画素×16画素からなるブロックであり、1以上のマ



クロブロックで1スライスが構成される。スライスヘッダは、画面の左端には必ず来るようにされる。スライススタートコードには、当該スライスの垂直方向の位置情報が含まれ、スライスヘッダには、拡張されたスライス垂直位置情報や量子化スケール情報などが格納される。また、1ピクチャは、1画面に対応し、スライスは、ピクチャを跨ることができない。

## 【 0 0 0 5 】

## 【発明が解決しようとする課題】

ところで、MPEG2では、上述したような、各層毎のユニークなスタートコードを検出して信号処理が開始される。例えば、フレームの識別は、シーケンス層のスタートコードであるシーケンスヘッダ、GOPの先頭を示すグループスタートコード、ピクチャスタートコードの3種類のスタートコードに基づきなされる。したがって、次のフレームデータの先頭にあるスタートコードを検出して初めて、前のフレームデータが終了したことが分かり、そのフレームの処理を終えることができる。

## 【 0 0 0 6 】

図30は、この従来の技術によるフレーム処理を説明するためのタイミングチャートである。まず、フレームの先頭を表すスタートコードを、MPEGに規定されるシーケンスヘッダコード(sequence\_header\_code:32'h 00 00 01 B3)、グループスタートコード(group\_start\_code:32'h 00 00 01 B8)、ピクチャスタートコード(picture\_start\_code:32'h 00 00 01 00)およびフレーム毎に付加されるシステムスタートコード(system\_start\_code)からなるものと定義する。

## 【 0 0 0 7 】

図30Aは、デジタルビデオ信号を転送するための転送フォーマットであるSDTI (Serial data Transfer Interface)における、フレームを示すフレーム信号である。フレーム信号は、1/2フレーム毎に信号が反転される。MPEGのデータストリームは、図30Bに示されるように、フレームの先頭にスタートコードが配され、続けて所定にデータが配される。フレーム信号により示される1フレーム期間に対してデータ量が少ない場合には、データの終端から次のフレームの先頭までが無効データとされる。

## 【 0 0 0 8 】

図 3 0 C は、データの有効期間を示すイネーブル信号を示す。無効データの期間は、イネーブル信号が” L ” 状態とされる。図 3 0 C では繁雑さを避けるために省略されているが、イネーブル信号は、実際には、さらに細かい期間の” H ” および” L ” 状態が混在される。そのため、イネーブル信号の立ち下がりだけでは、フレーム内でのデータ終端位置を判断するのは、困難である。そのため、上述したように、フレームの先頭は、データの先頭に配されたスタートコードのみで判断される。

## 【 0 0 0 9 】

すなわち、この従来の方法によれば、次のフレームの先頭を示すスタートコードが検出されて初めて、そのフレームが終了したとされる。そのため、無効データ期間においてもそのフレームの処理が続けられ、処理のディレイが大きいという問題点があった。

## 【 0 0 1 0 】

また、図 3 0 B の第 5 フレーム目に一例が示されるように、ビット反転などによりフレーム先頭に配されたスタートコードが検出不能になった場合について考える。伝送路における障害があった場合などに、このような事態が生じる可能性がある。これに限らず、伝送路の障害などにより、正常ではないストリームが入力された場合、期待している時刻に期待しているスタートコードが到来しない、あるいは、スタートコードが本来到来すべきタイミング以外のタイミングに擬似的に発生してしまう、などの原因も考えられる。

## 【 0 0 1 1 】

図 3 0 B の第 5 フレーム目のような場合、第 5 フレーム目の先頭が検出されないため、前フレームの第 4 フレーム目が終了されたことが認識できず、第 4 フレーム目の処理が継続されることになる。そして、次のフレームの先頭を示すスタートコードが検出されるまで、この第 4 フレームでの処理が続けられる。すなわち、スタートコードがスリップされたために、本来ではその後に続いていた有効データが、無効データになってしまうという問題点があった。

## 【 0 0 1 2 】

しかも、システムは、このようにして発生された有効データを処理し続けることになり、正常なストリームに復帰するまでに時間がかかったり、復帰不能に陥り例えばシステムがハングアップしてしまう可能性があるという問題点があった。正常なストリームへの復帰ができなくなった場合には、システムを初期化するしか対処の方法がない。

#### 【0013】

放送業務用のVTR (Video Tape Recorder) などでは、こうした復帰不能という最悪の事態を回避したり、復帰までの時間を最短にして、フレーム単位の処理を安定的に行うために、フレーム毎にレジスタをリセットするようにしている。これにより、フレーム毎の初期化を確実に行うことができる。

#### 【0014】

しかしながら、この従来の技術によれば、フレームの終了と次のフレームの先頭とが共に同一のスタートコードで同時に判断される。そのため、フレーム単位で処理のリセットをかけるのが、タイミング的に非常に困難であるという問題点があった。

#### 【0015】

したがって、この発明の目的は、フレーム単位で可変長符号が格納されたデータを扱う際に、フレーム単位での処理を安定的に行うことができるような信号処理装置および方法、ならびに、記録装置および方法を提供することにある。

#### 【0016】

##### 【課題を解決するための手段】

この発明は、上述した課題を解決するために、所定単位で可変長符号と可変長符号の有効長を示す情報とが格納されたデータを処理する信号処理装置において、所定単位で可変長符号と可変長符号の有効長を示す情報とを格納した入力データを入力する入力手段と、入力手段によって入力された入力データの所定単位の先頭を検出する先頭検出手段と、有効長を示す情報に基づき、入力手段によって入力された入力データの所定単位の終端を検出する終端検出手段とを有し、先頭検出手段で検出された先頭で処理を有効にし、終端検出手段で検出された終端で処理を無効にすると共に、終端検出手段で検出された終端で処理の状態を初期化

するようにしたことを特徴とする信号処理装置である。

【0017】

また、この発明は、所定単位で可変長符号と可変長符号の有効長を示す情報とが格納されたデータを処理する信号処理方法において、所定単位で可変長符号と可変長符号の有効長を示す情報とを格納した入力データを入力する入力ステップと、入力ステップによって入力された入力データの所定単位の先頭を検出する先頭検出のステップと、有効長を示す情報に基づき、入力ステップによって入力された入力データの所定単位の終端を検出する終端検出のステップとを有し、先頭検出のステップで検出された先頭で処理を有効にし、終端検出のステップで検出された終端で処理を無効にすると共に、終端検出のステップで検出された終端で処理の状態を初期化するようにしたことを特徴とする信号処理方法である。

【0018】

また、この発明は、所定単位で可変長符号と可変長符号の有効長を示す情報とが格納されたデータが入力され、入力されたデータに記録のための処理を施して記録媒体に記録する記録装置において、所定単位で可変長符号と可変長符号の有効長を示す情報とを格納した入力データを入力する入力手段と、入力手段によって入力された入力データの所定単位の先頭を検出する先頭検出手段と、有効長を示す情報に基づき、入力手段によって入力された入力データの所定単位の終端を検出する終端検出手段とを有し、先頭検出手段で検出された先頭で処理を有効にし、終端検出手段で検出された終端で処理を無効にすると共に、終端検出手段で検出された終端で処理の状態を初期化するようにした信号処理装置を備えたことを特徴とする記録装置である。

【0019】

また、この発明は、所定単位で可変長符号と可変長符号の有効長を示す情報とが格納されたデータが入力され、入力されたデータに記録のための処理を施して記録媒体に記録する記録方法において、所定単位で可変長符号と可変長符号の有効長を示す情報とを格納した入力データを入力する入力ステップと、入力ステップによって入力された入力データの所定単位の先頭を検出する先頭検出のス

テップと、有効長を示す情報に基づき、入力ステップによって入力された入力データの所定単位の終端を検出する終端検出のステップとを有し、先頭検出のステップで検出された先頭で処理を有効にし、終端検出のステップで検出された終端で処理を無効にすると共に、終端検出のステップで検出された終端で処理の状態を初期化するようにした信号処理方法を備えたことを特徴とする記録方法である。

#### 【0020】

上述したように、この発明は、所定単位で可変長符号と可変長符号の有効長を示す情報とを格納した入力データの所定単位の先頭を検出すると共に、有効長を示す情報に基づき入力データの所定単位の終端を検出し、検出された先頭で処理を有効にし、検出された終端で処理を無効にすると共に、検出された終端で処理の状態を初期化するようにしているため、フレーム終端から次のフレーム先頭が検出されるまでの間の処理を無効にすることができる。

#### 【0021】

##### 【発明の実施の形態】

以下、この発明をディジタルVTRに対して適用した一実施形態について説明する。この一実施形態は、放送局の環境で使用して好適なものである。

#### 【0022】

この一実施形態では、圧縮方式としては、例えばMPEG2方式が採用される。MPEG2は、動き補償予測符号化と、DCTによる圧縮符号化とを組み合わせたものである。MPEG2のデータ構造は、階層構造をなしている。図1は、一般的なMPEG2のデータストリームの階層構造を概略的に示す。図1に示されるように、データ構造は、下位から、マクロブロック層（図1E）、スライス層（図1D）、ピクチャ層（図1C）、GOP層（図1B）およびシーケンス層（図1A）となっている。

#### 【0023】

図1Eに示されるように、マクロブロック層は、DCTを行う単位であるDCTブロックからなる。マクロブロック層は、マクロブロックヘッダと複数のDCTブロックとで構成される。スライス層は、図1Dに示されるように、スライス

ヘッダ部と、1以上のマクロブロックより構成される。ピクチャ層は、図1Cに示されるように、ピクチャヘッダ部と、1以上のスライスとから構成される。ピクチャは、1画面に対応する。GOP層は、図1Bに示されるように、GOPヘッダ部と、フレーム内符号化に基づくピクチャであるIピクチャと、予測符号化に基づくピクチャであるPおよびBピクチャとから構成される。

## 【0024】

Iピクチャ(Intra-coded picture：イントラ符号化画像)は、符号化されるときその画像1枚の中だけで閉じた情報を使用するものである。従って、復号時には、Iピクチャ自身の情報のみで復号できる。Pピクチャ(Predictive-coded picture：順方向予測符号化画像)は、予測画像(差分をとる基準となる画像)として、時間的に前の既に復号されたIピクチャまたはPピクチャを使用するものである。動き補償された予測画像との差を符号化するか、差分を取らずに符号化するか、効率の良い方をマクロブロック単位で選択する。Bピクチャ(Bidirectionally predictive-coded picture：両方向予測符号化画像)は、予測画像(差分をとる基準となる画像)として、時間的に前の既に復号されたIピクチャまたはPピクチャ、時間的に後ろの既に復号されたIピクチャまたはPピクチャ、並びにこの両方から作られた補間画像の3種類を使用する。この3種類のそれぞれの動き補償後の差分の符号化と、イントラ符号化の中で、最も効率の良いものをマクロブロック単位で選択する。

## 【0025】

従って、マクロブロックタイプとしては、フレーム内符号化(Intra)マクロブロックと、過去から未来を予測する順方向(Forward)フレーム間予測マクロブロックと、未来から過去を予測する逆方向(Backward)フレーム間予測マクロブロックと、前後両方向から予測する両方向マクロブロックとがある。Iピクチャ内の全てのマクロブロックは、フレーム内符号化マクロブロックである。また、Pピクチャ内には、フレーム内符号化マクロブロックと順方向フレーム間予測マクロブロックとが含まれる。Bピクチャ内には、上述した4種類の全てのタイプのマクロブロックが含まれる。

## 【0026】

G O P には、最低 1 枚の I ピクチャが含まれ、P および B ピクチャは、存在しなくても許容される。最上層のシーケンス層は、図 1 A に示されるように、シーケンスヘッダ部と複数の G O P とから構成される。

【 0 0 2 7 】

M P E G のフォーマットにおいては、スライスが 1 つの可変長符号系列である。可変長符号系列とは、可変長符号を正しく復号化しなければデータの境界を検出できない系列である。

【 0 0 2 8 】

また、シーケンス層、G O P 層、ピクチャ層およびスライス層の先頭には、それぞれ、バイト単位に整列された所定のビットパターンを有するスタートコードが配される。この、各層の先頭に配されるスタートコードを、シーケンス層においてはシーケンスヘッダコード、他の階層においてはスタートコードと称し、ビットパターンが [ 0 0 0 0 0 1 x x ] (以下、[ ] による表記は、1 6 進表記であることを示す) とされる。2 桁ずつ示され、[ x x ] は、各層のそれぞれで異なるビットパターンが配されることを示す。

【 0 0 2 9 】

すなわち、スタートコードおよびシーケンスヘッダコードは、4 バイト (= 3 2 ビット) からなり、4 バイト目の値に基づき、後続く情報の種類を識別できる。これらスタートコードおよびシーケンスヘッダコードは、バイト単位で整列されているため、4 バイトのパターンマッチングを行うだけで捕捉することができる。

【 0 0 3 0 】

さらに、スタートコードに続く 1 バイトの上位 4 ビットが、後述する拡張データ領域の内容の識別子となっている。この識別子の値により、その拡張データの内容を判別することができる。

【 0 0 3 1 】

なお、マクロブロック層およびマクロブロック内の D C T ブロックには、このような、バイト単位に整列された所定のビットパターンを有する識別コードは、配されない。

## 【0032】

各層のヘッダ部について、より詳細に説明する。図1Aに示すシーケンス層では、先頭にシーケンスヘッダ2が配され、続けて、シーケンス拡張3、拡張およびユーザデータ4が配される。シーケンスヘッダ2の先頭には、シーケンスヘッダコード1が配される。また、図示しないが、シーケンス拡張3およびユーザデータ4の先頭にも、それぞれ所定のスタートコードが配される。シーケンスヘッダ2から拡張およびユーザデータ4までがシーケンス層のヘッダ部とされる。

## 【0033】

シーケンスヘッダ2には、図2に内容と割当ビットが示されるように、シーケンスヘッダコード1、水平方向画素数および垂直方向ライン数からなる符号化画像サイズ、アスペクト比、フレームレート、ビットレート、VBV (Video Buffering Verifier) バッファサイズ、量子化マトリクスなど、シーケンス単位で設定される情報がそれぞれ所定のビット数を割り当てられて格納される。

## 【0034】

シーケンスヘッダに続く拡張スタートコード後のシーケンス拡張3では、図3に示されるように、MPEG2で用いられるプロファイル、レベル、クロマ（色差）フォーマット、プログレッシブシーケンスなどの付加データが指定される。拡張およびユーザデータ4は、図4に示されるように、シーケンス表示（）により、原信号のRGB変換特性や表示画サイズの情報を格納できると共に、シーケンススケーラブル拡張（）により、スケーラビリティモードやスケーラビリティのレイヤ指定などを行うことができる。

## 【0035】

シーケンス層のヘッダ部に続けて、GOPが配される。GOPの先頭には、図1Bに示されるように、GOPヘッダ6およびユーザデータ7が配される。GOPヘッダ6およびユーザデータ7がGOPのヘッダ部とされる。GOPヘッダ6には、図5に示されるように、GOPのスタートコード5、タイムコード、GOPの独立性や正当性を示すフラグがそれぞれ所定のビット数を割り当てられて格納される。ユーザデータ7は、図6に示されるように、拡張データおよびユーザデータを含む。図示しないが、拡張データおよびユーザデータの先頭には、それ



ぞれ所定のスタートコードが配される。

#### 【0036】

GOP層のヘッダ部に続けて、ピクチャが配される。ピクチャの先頭には、図1Cに示されるように、ピクチャヘッダ9、ピクチャ符号化拡張10、ならびに、拡張およびユーザデータ11が配される。ピクチャヘッダ9の先頭には、ピクチャスタートコード8が配される。また、ピクチャ符号化拡張10、ならびに、拡張およびユーザデータ11の先頭には、それぞれ所定のスタートコードが配される。ピクチャヘッダ9から拡張およびユーザデータ11までがピクチャのヘッダ部とされる。

#### 【0037】

ピクチャヘッダ9は、図7に示されるように、ピクチャスタートコード8が配されると共に、画面に関する符号化条件が設定される。ピクチャ符号化拡張10では、図8に示されるように、前後方向および水平／垂直方向の動きベクトルの範囲の指定や、ピクチャ構造の指定がなされる。また、ピクチャ符号化拡張10では、イントラマクロブロックのDC係数精度の設定、VLCタイプの選択、線型／非線型量子化スケールの選択、DCTにおけるスキャン方法の選択などが行われる。

#### 【0038】

拡張およびユーザデータ11では、図9に示されるように、量子化マトリクスの設定や、空間スケーラブルパラメータの設定などが行われる。これらの設定は、ピクチャ毎に可能となっており、各画面の特性に応じた符号化を行うことができる。また、拡張およびユーザデータ11では、ピクチャの表示領域の設定を行うことが可能となっている。さらに、拡張およびユーザデータ11では、著作権情報を設定することもできる。

#### 【0039】

ピクチャ層のヘッダ部に続けて、スライスが配される。スライスの先頭には、図1Dに示されるように、スライスヘッダ13が配され、スライスヘッダ13の先頭に、スライススタートコード12が配される。図10に示されるように、スライススタートコード12は、当該スライスの垂直方向の位置情報を含む。スラ

イスヘッダ 1 3 には、さらに、拡張されたスライス垂直位置情報や、量子化スケール情報などが格納される。

#### 【 0 0 4 0 】

スライス層のヘッダ部に続けて、マクロブロックが配される (図 1 E)。マクロブロックでは、マクロブロックヘッダ 1 4 に続けて複数の DCT ブロックが配される。上述したように、マクロブロックヘッダ 1 4 にはスタートコードが配されない。図 1 1 に示されるように、マクロブロックヘッダ 1 4 は、マクロブロックの相対的な位置情報が格納されると共に、動き補償モードの設定、DCT 符号化に関する詳細な設定などを指示する。

#### 【 0 0 4 1 】

マクロブロックヘッダ 1 4 に続けて、DCT ブロックが配される。DCT ブロックは、図 1 2 に示されるように、可変長符号化された DCT 係数および DCT 係数に関するデータが格納される。

#### 【 0 0 4 2 】

なお、図 1 では、各層における実線の区切りは、データがバイト単位に整列されていることを示し、点線の区切りは、データがバイト単位に整列されていないことを示す。すなわち、ピクチャ層までは、図 1 3 A に一例が示されるように、符号の境界がバイト単位で区切られているのに対し、スライス層では、スライススタートコード 1 2 のみがバイト単位で区切られており、各マクロブロックは、図 1 3 B に一例が示されるように、ビット単位で区切ることができる。同様に、マクロブロック層では、各 DCT ブロックをビット単位で区切ることができる。

#### 【 0 0 4 3 】

一方、復号および符号化による信号の劣化を避けるためには、符号化データ上で編集することが望ましい。このとき、P ピクチャおよび B ピクチャは、その復号に、時間的に前のピクチャあるいは前後のピクチャを必要とする。そのため、編集単位を 1 フレーム単位とすることができない。この点を考慮して、この一実施形態では、1 つの GOP が 1 枚の I ピクチャからなるようにしている。

#### 【 0 0 4 4 】

また、例えば 1 フレーム分の記録データが記録される記録領域が所定のものと

される。MPEG 2では、可変長符号化を用いているので、1フレーム期間に発生するデータを所定の記録領域に記録できるように、1フレーム分の発生データ量が制御される。さらに、この一実施形態では、磁気テープへの記録に適するように、1スライスを1マクロブロックから構成すると共に、1マクロブロックを、所定長の固定枠に当てはめる。

## 【0045】

図14は、この一実施形態におけるMPEGストリームのヘッダを具体的に示す。図1で分かるように、シーケンス層、GOP層、ピクチャ層、スライス層およびマクロブロック層のそれぞれのヘッダ部は、シーケンス層の先頭から連続的に現れる。図14は、シーケンスヘッダ部分から連続した一例のデータ配列を示している。

## 【0046】

先頭から、12バイト分の長さを有するシーケンスヘッダ2が配され、続けて、10バイト分の長さを有するシーケンス拡張3が配される。シーケンス拡張3の次には、拡張およびユーザデータ4が配される。拡張およびユーザデータ4の先頭には、4バイト分のユーザデータスタートコードが配され、続くユーザデータ領域には、SMPTEの規格に基づく情報が格納される。

## 【0047】

シーケンス層のヘッダ部の次は、GOP層のヘッダ部となる。8バイト分の長さを有するGOPヘッダ6が配され、続けて拡張およびユーザデータ7が配される。拡張およびユーザデータ7の先頭には、4バイト分のユーザデータスタートコードが配され、続くユーザデータ領域には、既存の他のビデオフォーマットとの互換性をとるための情報が格納される。

## 【0048】

GOP層のヘッダ部の次は、ピクチャ層のヘッダ部となる。9バイトの長さを有するピクチャヘッダ9が配され、続けて9バイトの長さを有するピクチャ符号化拡張10が配される。ピクチャ符号化拡張10の後に、拡張およびユーザデータ11が配される。拡張およびユーザデータ11の先頭側133バイトに拡張およびユーザデータが格納され、続いて4バイトの長さを有するユーザデータスタ

ートコード15が配される。ユーザデータスタートコード15に続けて、既存の他のビデオフォーマットとの互換性をとるための情報が格納される。さらに、ユーザデータスタートコード16が配され、ユーザデータスタートコード16に続けて、SMPTEの規格に基づくデータが格納される。ピクチャ層のヘッダ部の次は、スライスとなる。

#### 【0049】

マクロブロックについて、さらに詳細に説明する。スライス層に含まれるマクロブロックは、複数のDCTブロックの集合であり、DCTブロックの符号化系列は、量子化されたDCT係数の系列を0係数の連続回数（ラン）とその直後の非0系列（レベル）を1つの単位として可変長符号化したものである。マクロブロックならびにマクロブロック内のDCTブロックには、バイト単位に整列した識別コードが付加されない。

#### 【0050】

マクロブロックは、画面（ピクチャ）を16画素×16ラインの格子状に分割したものである。スライスは、例えばこのマクロブロックを水平方向に連結してなる。連続するスライスの前のスライスの最後のマクロブロックと、次のスライスの先頭のマクロブロックとは連続しており、スライス間でのマクロブロックのオーバーラップを形成することは、許されていない。また、画面のサイズが決まると、1画面当たりのマクロブロック数は、一意に決まる。

#### 【0051】

画面上での垂直方向および水平方向のマクロブロック数を、それぞれmb\_\_heightおよびmb\_\_widthと称する。画面上でのマクロブロックの座標は、マクロブロックの垂直位置番号を、上端を基準に0から数えたmb\_\_rowと、マクロブロックの水平位置番号を、左端を基準に0から数えたmb\_\_columnとで表すように定められている。画面上でのマクロブロックの位置を一つの変数で表すために、macroblock\_\_addressを、  

$$\text{macroblock\_address} = \text{mb\_row} \times \text{mb\_width} + \text{mb\_column},$$
 このように定義する。

## 【0052】

ストリーム上でのスライスとマクロブロックの順は、macroblock\_addressの小さい順でなければいけないと定められている。すなわち、ストリームは、画面の上から下、左から右の順に伝送される。

## 【0053】

MPEGでは、1スライスを1ストライプ（16ライン）で構成するのが普通であり、画面の左端から可変長符号化が始まり、右端で終わる。従って、VTRによってそのままMPEGエレメンタリストリームを記録した場合、高速再生時に、再生できる部分が画面の左端に集中し、均一に更新することができない。また、データのテープ上の配置を予測できないため、テープパターンを一定の間隔でトレースしたのでは、均一な画面更新ができなくなる。さらに、1箇所でもエラーが発生すると、画面右端まで影響し、次のスライスヘッダが検出されるまで復帰できない。このために、1スライスを1マクロブロックで構成するようにしている。

## 【0054】

図15は、この一実施形態による記録再生装置の構成の一例を示す。記録時には、端子100から入力されたデジタル信号がSDI (Serial data Interface) 受信部101に供給される。SDIは、(4:2:2)コンポーネントビデオ信号とデジタルオーディオ信号と付加的データとを伝送するために、SMPTEによって規定されたインターフェイスである。SDI受信部101で、入力されたデジタル信号からデジタルビデオ信号とデジタルオーディオ信号とがそれぞれ抽出され、デジタルビデオ信号は、MPEGエンコーダ102に供給され、デジタルオーディオ信号は、ディレイ103を介してECCエンコーダ109に供給される。ディレイ103は、デジタルオーディオ信号とデジタルビデオ信号との時間差を解消するためのものである。

## 【0055】

また、SDI受信部101では、入力されたデジタル信号から同期信号を抽出し、抽出された同期信号をタイミングジェネレータ104に供給する。タイミングジェネレータ104には、端子105から外部同期信号を入力することでも

きる。タイミングジェネレータ 1 0 4 では、入力されたこれらの同期信号および後述する S D T I 受信部 1 0 8 から供給される同期信号のうち、指定された信号に基づきタイミングパルスを生成する。生成されたタイミングパルスは、この記録再生装置の各部に供給される。

## 【 0 0 5 6 】

入力ビデオ信号は、M P E G エンコーダ 1 0 2 において D C T (Discrete Cosine Transform) の処理を受け、係数データに変換され、係数データが可変長符号化される。M P E G エンコーダ 1 0 2 からの可変長符号化 (V L C) データは、M P E G 2 に準拠したエレメンタリストリーム (E S) である。この出力は、記録側のマルチフォーマットコンバータ (以下、M F C と称する) 1 0 6 の一方の入力端に供給される。

## 【 0 0 5 7 】

一方、入力端子 1 0 7 を通じて、S D T I (Serial data Transport Interface) のフォーマットのデータが入力される。この信号は、S D T I 受信部 1 0 8 で同期検出される。そして、フレームメモリ 1 7 0 にバッファリングされ、エレメンタリストリームが抜き出される。抜き出されたエレメンタリストリームは、記録側 M F C 1 0 6 から供給される信号 *ready* によって読み出しタイミングを制御されてフレームメモリ 1 7 0 から読み出され、記録側 M F C 1 0 6 の他方の入力端に供給される。S D T I 受信部 1 0 8 で同期検出されて得られた同期信号は、上述したタイミングジェネレータ 1 0 4 に供給される。

## 【 0 0 5 8 】

一実施形態では、例えば M P E G E S (M P E G エレメンタリストリーム) を伝送するために、S D T I (Serial data Transport Interface) - C P (Content Package) が使用される。この E S は、4 : 2 : 2 のコンポーネントであり、また、上述したように、全て I ピクチャのストリームであり、1 G O P = 1 ピクチャの関係性を有する。S D T I - C P のフォーマットでは、M P E G E S がアクセスユニットへ分離され、また、フレーム単位の packets にパッキングされている。S D T I - C P では、十分な伝送帯域 (クロックレートで 2 7 M H z または 3 6 M H z、ストリームビットレートで 2 7 0 M b p s または 3 6 0 M b p s) を使用

しており、1フレーム期間で、バースト的にESを送ることが可能である。

【0059】

すなわち、1フレーム期間のSAVの後からEAVまでの間に、システムデータ、ビデオストリーム、オーディオストリーム、AUXデータが配される。1フレーム期間全体にデータが存在せずに、その先頭から所定期間バースト状にデータが存在する。フレームの境界においてSDTI-CPのストリーム（ビデオおよびオーディオ）をストリームの状態でスイッチングすることができる。SDTI-CPは、クロック基準としてSMPTEタイムコードを使用したコンテンツの場合に、オーディオ、ビデオ間の同期を確立する機構を有する。さらに、SDTI-CPとSDIとが共存可能なように、フォーマットが決められている。

【0060】

SDTI受信部108では、入力されたストリームに基づき、データの有効区間を示すイネーブル信号enableを出力する。イネーブル信号は、例えばデータが有効な区間では”H”レベル、無効区間では”L”レベルとなるような信号である。イネーブル信号は、例えば記録側MFC106に供給される。

【0061】

上述したSDTI-CPを使用したインターフェースは、TS (Transport Stream) を転送する場合のように、エンコーダおよびデコーダがVBV (Video Buffer Verifier) バッファおよびTBs (Transport Buffers) を通る必要がなく、ディレイを少なくできる。また、SDTI-CP自体が極めて高速の転送が可能なくともディレイを一層少なくする。従って、放送局の全体を管理するような同期が存在する環境では、SDTI-CPを使用することが有効である。

【0062】

なお、SDTI受信部108では、さらに、入力されたSDTI-CPのストリームからデジタルオーディオ信号を抽出する。抽出されたデジタルオーディオ信号は、ECCエンコーダ109に供給される。

【0063】

また、この一実施形態では、SDTI受信部108では、入力されたSDTI-CPのストリームに基づき、フレームの最終データと同期したフレームエンド

信号 `Frame End` を、フレーム毎に生成し、出力する。このフレームエンド信号 `Frame End` は、記録側 `MFC 106` に供給される。フレームエンド信号 `Frame End` の詳細については、後述する。

#### 【0064】

記録側 `MFC 106` は、セクタおよびストリームコンバータを内蔵する。記録側 `MFC 106` は、例えば後述する再生側 `MFC 114` とモードを切り替えることにより共用される。記録側 `MFC 106` において行われる処理について説明する。上述した `MPEG エンコーダ 102` および `SDTI 受信部 108` から供給された `MPEG ES` は、セクタで何方か一方を選択され、ストリームコンバータに供給される。

#### 【0065】

ストリームコンバータでは、`MPEG 2` の規定に基づき `DCT` ブロック毎に並べられていた `DCT` 係数を、1 マクロブロックを構成する複数の `DCT` ブロックを通して、周波数成分毎にまとめ、まとめた周波数成分を並べ替える。また、ストリームコンバータは、エレメンタリストリームの1スライスが1ストライプの場合には、1スライスを1マクロブロックからなるものにする。さらに、ストリームコンバータは、1マクロブロックで発生する可変長データの最大長を所定長に制限する。これは、高次の `DCT` 係数を0とすることでなしうる。

#### 【0066】

また、詳細は後述するが、ストリームコンバータでは、供給された `MPEG ES` のシーケンスヘッダ2に続くシーケンス拡張3を検出し、シーケンス拡張3からクロマフォーマットを示す情報 `chroma_format` を抜き出す。抜き出されたクロマフォーマット情報に基づき、クロマフォーマット `4:2:2` と `4:2:0` とを共通して処理できるように、入力された `MPEG ES` の処理タイミングを制御する。

#### 【0067】

記録側 `MFC 106` において並べ替えられた変換エレメンタリストリームは、`ECC エンコーダ 109` に供給される。`ECC エンコーダ 109` は、大容量のメインメモリが接続され（図示しない）、パッキングおよびシャフリング部、オー



ディオ用外符号エンコーダ、ビデオ用外符号エンコーダ、内符号エンコーダ、オーディオ用シャフリング部およびビデオ用シャフリング部などを内蔵する。また、ECCエンコーダ109は、シンクブロック単位でIDを付加する回路や、同期信号を付加する回路を含む。ECCエンコーダ109は、例えば1個の集積回路で構成される。

## 【0068】

なお、一実施形態では、ビデオデータおよびオーディオデータに対するエラー訂正符号としては、積符号が使用される。積符号は、ビデオデータまたはオーディオデータの2次元配列の縦方向に外符号の符号化を行い、その横方向に内符号の符号化を行い、データシンボルを2重に符号化するものである。外符号および内符号としては、リードソロモンコード(Reed-Solomon code)を使用できる。

## 【0069】

ECCエンコーダ109における処理について説明する。変換エレメンタリストリーム of ビデオデータは、可変長符号化されているため、各マクロブロックのデータの長さが不揃いである。パッキングおよびシャフリング部では、マクロブロックが固定枠に詰め込まれる。このとき、固定枠からはみ出たオーバーフロー部分は、固定枠のサイズに対して空いている領域に順に詰め込まれる。

## 【0070】

また、画像フォーマット、シャフリングパターンのバージョン等の情報を有するシステムデータが、後述するシスコン121から供給され、図示されない入力端から入力される。システムデータは、パッキングおよびシャフリング部に供給され、ピクチャデータと同様に記録処理を受ける。システムデータは、ビデオAUXとして記録される。また、走査順に発生する1フレームのマクロブロックを並び替え、テープ上のマクロブロックの記録位置を分散させるシャフリングが行われる。シャフリングによって、変速再生時に断片的にデータが再生される時でも、画像の更新率を向上させることができる。

## 【0071】

パッキングおよびシャフリング部からのビデオデータおよびシステムデータ（以下、特に必要な場合を除き、システムデータを含む場合も単にビデオデータと

称する)は、ビデオデータに対して外符号化の符号化を行うビデオ用外符号エンコーダに供給され、外符号パリティが付加される。外符号エンコーダの出力は、ビデオ用シャフリング部で、複数のECCブロックにわたってシンクブロック単位で順番を入れ替える、シャフリングがなされる。シンクブロック単位のシャフリングによって特定のECCブロックにエラーが集中することが防止される。シャフリング部でなされるシャフリングを、インターリーブと称することもある。ビデオ用シャフリング部の出力は、メインメモリに書き込まれる。

## 【0072】

一方、上述したように、SDTI受信部108あるいはディレイ103から出力されたデジタルオーディオ信号がECCエンコーダ109に供給される。この一実施形態では、非圧縮のデジタルオーディオ信号が扱われる。デジタルオーディオ信号は、これらに限らず、オーディオインターフェースを介して入力されるようにもできる。また、図示されない入力端子から、オーディオAUXが供給される。オーディオAUXは、補助的データであり、オーディオデータのサンプリング周波数等のオーディオデータに関連する情報を有するデータである。オーディオAUXは、オーディオデータに付加され、オーディオデータと同等に扱われる。

## 【0073】

オーディオAUXが付加されたオーディオデータ(以下、特に必要な場合を除き、AUXを含む場合も単にオーディオデータと称する)は、オーディオデータに対して外符号の符号化を行うオーディオ用外符号エンコーダに供給される。オーディオ用外符号エンコーダの出力がオーディオ用シャフリング部に供給され、シャフリング処理を受ける。オーディオシャフリングとして、シンクブロック単位のシャフリングと、チャンネル単位のシャフリングとがなされる。

## 【0074】

オーディオ用シャフリング部の出力は、メインメモリに書き込まれる。上述したように、メインメモリには、ビデオ用シャフリング部の出力も書き込まれており、メインメモリで、オーディオデータとビデオデータとが混合され、1チャンネルのデータとされる。

## 【0075】

メインメモリからデータが読み出され、シンクブロック番号を示す情報等を有するIDが付加され、内符号エンコーダに供給される。内符号エンコーダでは、供給されたデータに対して内符号の符号化を施す。内符号エンコーダの出力に対してシンクブロック毎の同期信号が付加され、シンクブロックが連続する記録データが構成される。

## 【0076】

ECCエンコーダ109から出力された記録データは、記録アンプなどを含むイコライザ110に供給され、記録RF信号に変換される。記録RF信号は、回転ヘッドが所定に設けられた回転ドラム111に供給され、磁気テープ112上に記録される。回転ドラム111には、実際には、隣接するトラックを形成するヘッドのアジマスが互いに異なる複数の磁気ヘッドが取り付けられている。

## 【0077】

記録データに対して必要に応じてスクランブル処理を行っても良い。また、記録時にデジタル変調を行っても良く、さらに、パーシャル・レスポンスクラス4とビタビ符号を使用しても良い。なお、イコライザ110は、記録側の構成と再生側の構成とを共に含む。

## 【0078】

図16は、上述した回転ヘッドにより磁気テープ上に形成されるトラックフォーマットの一例を示す。この例では、1フレーム当たりのビデオおよびオーディオデータが4トラックで記録されている。互いに異なるアジマスの2トラックによって1セグメントが構成される。すなわち、4トラックは、2セグメントからなる。セグメントを構成する1組のトラックに対して、アジマスと対応するトラック番号〔0〕とトラック番号〔1〕が付される。トラックのそれぞれにおいて、両端側にビデオデータが記録されるビデオセクタが配され、ビデオセクタに挟まれて、オーディオデータが記録されるオーディオセクタが配される。この図16は、テープ上のセクタの配置を示すものである。

## 【0079】

この例では、4チャンネルのオーディオデータを扱うことができるようにされ

ている。A1～A4は、それぞれオーディオデータの1～4chを示す。オーディオデータは、セグメント単位で配列を変えられて記録される。また、ビデオデータは、この例では、1トラックに対して4エラー訂正ブロック分のデータがインターリーブされ、Upper SideおよびLower Sideのセクタに分割され記録される。

## 【0080】

Lower Sideのビデオセクタには、所定位置にシステム領域（SYS）が設けられる。システム領域は、例えば、Lower Sideのビデオセクタの先頭側と末尾側とに、トラック毎に交互に設けられる。

## 【0081】

なお、図16において、SATは、サーボロック用の信号が記録されるエリアである。また、各記録エリアの間には、所定の大きさのギャップが設けられる。

## 【0082】

図16は、1フレーム当たりのデータを4トラックで記録する例であるが、記録再生するデータのフォーマットによっては、1フレーム当たりのデータを8トラック、6トラックなどで記録するようにもできる。

## 【0083】

図16Bに示されるように、テープ上に記録されるデータは、シンクブロックと称される等間隔に区切られた複数のブロックからなる。図16Cは、シンクブロックの構成を概略的に示す。シンクブロックは、同期検出するためのSYNCパターン、シンクブロックのそれぞれを識別するためのID、後続するデータの内容を示すDID、データパケットおよびエラー訂正用の内符号パリティから構成される。データは、シンクブロック単位でパケットとして扱われる。すなわち、記録あるいは再生されるデータ単位の最小のものが1シンクブロックである。シンクブロックが多数並べられて（図16B）、例えばビデオセクタが形成される。

## 【0084】

図15の説明に戻り、再生時には、磁気テープ112から回転ドラム111で再生された再生信号が再生アンプなどを含むイコライザ110の再生側の構成に

供給される。イコライザ 1 1 0 では、再生信号に対して、等化や波形整形などがなされる。また、ディジタル変調の復調、ピタビ復号等が必要に応じてなされる。イコライザ 1 1 0 の出力は、ECCデコーダ 1 1 3 に供給される。

#### 【 0 0 8 5 】

ECCデコーダ 1 1 3 は、上述した ECCエンコーダ 1 0 9 と逆の処理を行うもので、大容量のメインメモリと、内符号デコーダ、オーディオ用およびビデオ用それぞれのデシャフリング部ならびに外符号デコーダを含む。さらに、ECCデコーダ 1 1 3 は、ビデオ用として、デシャフリングおよびデパッキング部、データ補間部を含む。同様に、オーディオ用として、オーディオ A U X 分離部とデータ補間部を含む。ECCデコーダ 1 1 3 は、例えば 1 個の集積回路で構成される。

#### 【 0 0 8 6 】

ECCデコーダ 1 1 3 における処理について説明する。ECCデコーダ 1 1 3 では、まず、同期検出を行いシンクブロックの先頭に付加されている同期信号を検出し、シンクブロックを切り出す。再生データは、シンクブロック毎に内符号デコーダに供給され、内符号のエラー訂正がなされる。内符号デコーダの出力に対して I D 補間処理がなされ、内符号によりエラーとされたシンクブロックの I D 例えばシンクブロック番号が補間される。I D が補間された再生データは、ビデオデータとオーディオデータとに分離される。

#### 【 0 0 8 7 】

上述したように、ビデオデータは、M P E G のイントラ符号化で発生した D C T 係数データおよびシステムデータを意味し、オーディオデータは、P C M (Pulse Code Modulation) データおよびオーディオ A U X を意味する。

#### 【 0 0 8 8 】

分離されたオーディオデータは、オーディオ用デシャフリング部に供給され、記録側のシャフリング部でなされたシャフリングと逆の処理を行う。デシャフリング部の出力がオーディオ用の外符号デコーダに供給され、外符号によるエラー訂正がなされる。オーディオ用の外符号デコーダからは、エラー訂正されたオーディオデータが出力される。訂正できないエラーがあるデータに関しては、エラ

ーフラグがセットされる。

【0089】

オーディオ用の外符号デコーダの出力から、オーディオAUX分離部でオーディオAUXが分離され、分離されたオーディオAUXがECCデコーダ113から出力される（経路は省略する）。オーディオAUXは、例えば後述するシスコン121に供給される。また、オーディオデータは、データ補間部に供給される。データ補間部では、エラーの有るサンプルが補間される。補間方法としては、時間的に前後の正しいデータの平均値で補間する平均値補間、前の正しいサンプルの値をホールドする前値ホールド等を使用できる。

【0090】

データ補間部の出力がECCデコーダ113からのオーディオデータの出力であって、ECCデコーダ113から出力されたオーディオデータは、ディレイ117およびSDTI出力部115に供給される。ディレイ117は、後述するMP EGデコーダ116でのビデオデータの処理による遅延を吸収するために設けられる。ディレイ117に供給されたオーディオデータは、所定の遅延を与えられて、SDI出力部118に供給される。

【0091】

分離されたビデオデータは、デシャフリング部に供給され、記録側のシャフリングと逆の処理がなされる。デシャフリング部は、記録側のシャフリング部でなされたシンクブロック単位のシャフリングを元に戻す処理を行う。デシャフリング部の出力が外符号デコーダに供給され、外符号によるエラー訂正がなされる。訂正できないエラーが発生した場合には、エラーの有無を示すエラーフラグがエラー有りを示すものとされる。

【0092】

外符号デコーダの出力がデシャフリングおよびデパッキング部に供給される。デシャフリングおよびデパッキング部は、記録側のパッキングおよびシャフリング部でなされたマクロブロック単位のシャフリングを元に戻す処理を行う。また、デシャフリングおよびデパッキング部では、記録時に施されたパッキングを分解する。すなわち、マクロブロック単位にデータの長さを戻して、元の可変長符

号を復元する。さらに、デシャフリングおよびデパッキング部において、システムデータが分離され、ECCデコーダ113から出力され、後述するシスコン121に供給される。

#### 【0093】

デシャフリングおよびデパッキング部の出力は、データ補間部に供給され、エラーフラグが立っている（すなわち、エラーのある）データが修整される。すなわち、変換前に、マクロブロックデータの途中にエラーがあるとされた場合には、エラー箇所以降の周波数成分のDCT係数が復元できない。そこで、例えばエラー箇所以降の周波数成分のDCT係数をゼロとする。同様に、高速再生時にも、シンクブロック長に対応する長さまでのDCT係数のみを復元し、それ以降の係数は、ゼロデータに置き替えられる。さらに、データ補間部では、ビデオデータの先頭に付加されているヘッダがエラーの場合に、ヘッダ（シーケンスヘッダ、GOPヘッダ、ピクチャヘッダ、ユーザデータ等）を回復する処理もなされる。

#### 【0094】

データ補間部から出力されたビデオデータおよびエラーフラグがECCデコーダ113の出力であって、ECCデコーダ113の出力は、再生側のマルチフォーマットコンバータ（以下、再生側MFCと略称する）114に供給される。再生側MFC114は、上述した記録側MFC106と逆の処理を行うものであって、ストリームコンバータを含む。再生側MFC114は、例えば1個の集積回路で構成される。

#### 【0095】

ストリームコンバータでは、データ補間部からのエラーフラグを用いてエラーのあるビデオデータに対して、適切な位置でブロック終端符号（EOB：End Of Block）を付加し、データを打ち切る。DCTブロックに跨がって、DCT係数がDC成分および低域成分から高域成分へと並べられているため、このように、ある箇所以降からDCT係数を無視しても、マクロブロックを構成するDCTブロックのそれぞれに対して、満遍なくDCならびに低域成分からのDCT係数を行き渡らせることができる。

## 【0096】

また、ストリームコンバータでは、記録側のストリームコンバータと逆の処理がなされる。すなわち、DCTブロックに跨がって周波数成分毎に並べられていたDCT係数を、DCTブロック毎に並び替える。また、再生側MFC114では、供給されたストリームからシーケンス拡張3を検出し、クロマフォーマットの情報を抜き出す。ストリームコンバータにおける上述のDCT係数の並び替えの際に、抜き出されたクロマフォーマットの情報に基づき所定にタイミング制御を行う。これにより、再生信号がMPEG2に準拠したエレメンタリストリームに変換される。

## 【0097】

なお、ストリームコンバータの入出力は、記録側と同様に、マクロブロックの最大長に応じて、十分な転送レート（バンド幅）を確保しておく。マクロブロック（スライス）の長さを制限しない場合には、画素レートの3倍のバンド幅を確保するのが好ましい。

## 【0098】

ストリームコンバータの出力が再生側MFC114の出力であって、再生側MFC114の出力は、SDTI出力部115およびMPEGデコーダ116に供給される。

## 【0099】

MPEGデコーダ116は、エレメンタリストリームを復号し、ビデオデータ outputs。すなわち、MPEGデコーダ116は、逆量子化処理と、逆DCT処理とがなされる。復号ビデオデータは、SDI出力部118に供給される。上述したように、SDI出力部118には、ECCデコーダ113でビデオデータと分離されたオーディオデータがディレイ117を介して供給されている。SDI出力部118では、供給されたビデオデータとオーディオデータとを、SDIのフォーマットにマッピングし、SDIフォーマットのデータ構造を有するストリームへ変換される。SDI出力部118からのストリームが出力端子120から外部へ出力される。

## 【0100】



一方、SDTI出力部115には、上述したように、ECCデコーダ113でビデオデータと分離されたオーディオデータが供給されている。SDTI出力部115では、供給された、エレメンタリストリームとしてのビデオデータと、オーディオデータとをSDTIのフォーマットにマッピングし、SDTIフォーマットのデータ構造を有するストリームへ変換される。変換されたストリームは、出力端子119から外部へ出力される。

#### 【0101】

図15において、シスコン121は、例えばマイクロコンピュータからなり、この記録再生装置の全体の動作を制御する。またサーボ122は、シスコン121と互いに通信を行いながら、磁気テープ112の走行制御や回転ドラム111の駆動制御などを行う。

#### 【0102】

ここで、クロマフォーマットについて、概略的に説明する。図17、図18および図19は、それぞれクロマフォーマット4:4:4、4:2:2および4:2:0を説明するための図である。これらのうち、図17A、図18Aおよび図19Aは、輝度信号Yおよび色差信号Cb、Crのサイズおよびサンプリングの位相を示す。図において、「X」が輝度信号Yの位相を示し、重なった2つの「O」は、色差信号Cb、Crの位相を示す。

#### 【0103】

クロマフォーマット4:4:4は、図17Aに示されるように、色差信号Cb、Crと輝度信号Yのサイズおよびサンプリング位相は、互いに一致している。したがって、8画素×8画素からなるDCTブロックが4個でなるマクロブロックで考えた場合、図17Bに示されるように、色差信号Cb、Crのマトリクスは、水平および垂直両次元で、輝度信号Yのマトリクスと同じサイズの4ブロックからなる。

#### 【0104】

これに対して、クロマフォーマット4:2:2は、図18Aに示されるように、色差信号Cb、Crのサイズは、輝度信号Yのサイズに対して、水平方向で1/2になっている。したがって、マクロブロックで考えると、色差信号Cb、C

r のマトリクスは、水平方向の次元で輝度信号 Y のマトリクスの  $1/2$  になっている。

#### 【0105】

さらに、クロマフォーマット 4 : 2 : 0 は、図 19 A に示されるように、色差信号 Cb、Cr のサイズは、輝度信号 Y のサイズに対して、水平および垂直方向の両次元でそれぞれ  $1/2$  になっている。したがって、マクロブロックで考えると、色差信号 Cb、Cr のマトリクスは、水平および垂直方向の両次元で、それぞれ輝度信号 Y のマトリクスの  $1/2$  になっている。

#### 【0106】

なお、上述の図 17 B、図 18 B および図 19 B に示されるように、マクロブロックにおいて、マクロブロックを構成する DCT ブロックには、図に示されるように、左上から 1、2、3 および 4 の番号をそれぞれ付して表す。図 17 ~ 図 19 に示される各マクロブロック内のブロックの符号化順序は、クロマフォーマットが 4 : 4 : 4 の場合で、図 17 B に示されるように、 $Y_1$ 、 $Y_2$ 、 $Y_3$ 、 $Y_4$ 、 $Cb_1$ 、 $Cr_1$ 、 $Cb_2$ 、 $Cr_2$ 、 $Cb_3$ 、 $Cr_3$ 、 $Cb_4$  および  $Cr_4$  の順となる。同様に、クロマフォーマット 4 : 2 : 2 の場合で、図 18 B に示されるように、 $Y_1$ 、 $Y_2$ 、 $Y_3$ 、 $Y_4$ 、 $Cb_1$ 、 $Cr_1$ 、 $Cb_2$  および  $Cr_2$  の順となり、クロマフォーマット 4 : 2 : 0 の場合で、図 19 B に示されるように、 $Y_1$ 、 $Y_2$ 、 $Y_3$ 、 $Y_4$ 、 $Cb_1$  および  $Cr_1$  の順となる。

#### 【0107】

図 20 A は、MPEG エンコーダ 102 の DCT 回路から出力されるビデオデータ中の DCT 係数の順序を示す。SDTI 受信部 108 から出力される MPEG ES についても同様である。以下では、MPEG エンコーダ 102 の出力を例に用いて説明する。DCT ブロックにおいて左上の DC 成分から開始して、水平ならびに垂直空間周波数が高くなる方向に、DCT 係数がジグザグスキャンで出力される。その結果、図 20 B に一例が示されるように、全部で 64 個（8 画素 × 8 ライン）の DCT 係数が周波数成分順に並べられて得られる。

#### 【0108】

この DCT 係数が MPEG エンコーダの VLC 部によって可変長符号化される

。すなわち、最初の係数は、DC成分として固定的であり、次の成分（AC成分）からは、ゼロのランとそれに続くレベルに対応してコードが割り当てられる。従って、AC成分の係数データに対する可変長符号化出力は、周波数成分の低い（低次の）係数から高い（高次の）係数へと、 $AC_1$ ,  $AC_2$ ,  $AC_3$ ,  $\dots$ と並べられたものである。可変長符号化されたDCT係数をエレメンタリストリームが含んでいる。

## 【0109】

上述した記録側MFC106に内蔵される、記録側のストリームコンバータでは、供給された信号のDCT係数の並べ替えが行われる。すなわち、それぞれのマクロブロック内で、ジグザグスキャンによってDCTブロック毎に周波数成分順に並べられたDCT係数がマクロブロックを構成する各DCTブロックにわたって周波数成分順に並べ替えられる。

## 【0110】

図21は、この記録側ストリームコンバータにおけるDCT係数の並べ替えを概略的に示す。（4：2：2）コンポーネント信号の場合に、1マクロブロックは、輝度信号Yによる4個のDCTブロック（ $Y_1$ ,  $Y_2$ ,  $Y_3$ および $Y_4$ ）と、色度信号Cb, Crのそれぞれによる2個ずつのDCTブロック（ $Cb_1$ ,  $Cb_2$ ,  $Cr_1$ および $Cr_2$ ）からなる。

## 【0111】

上述したように、MPEGエンコーダ102では、MPEG2の規定に従いジグザグスキャンが行われ、図21Aに示されるように、各DCTブロック毎に、DCT係数がDC成分および低域成分から高域成分に、周波数成分の順に並べられる。一つのDCTブロックのスキャンが終了したら、次のDCTブロックのスキャンが行われ、同様に、DCT係数が並べられる。

## 【0112】

すなわち、マクロブロック内で、DCTブロック $Y_1$ ,  $Y_2$ ,  $Y_3$ および $Y_4$ 、DCTブロック $Cb_1$ ,  $Cr_1$ ,  $Cb_2$ および $Cr_2$ のそれぞれについて、DCT係数がDC成分および低域成分から高域成分へと周波数順に並べられる。そして、連続したランとそれに続くレベルとからなる組に、 $[DC, AC_1, AC_2, AC_3$

，・・・] と、それぞれ符号が割り当てられるように、可変長符号化されている。

#### 【0113】

記録側ストリームコンバータでは、可変長符号化され並べられたDCT係数を、一旦可変長符号を解読して各係数の区切りを検出し、マクロブロックを構成する各DCTブロックに跨がって周波数成分毎にまとめる。この様子を、図21Bに示す。最初にマクロブロック内の8個のDCTブロックのDC成分をまとめ、次に8個のDCTブロックの最も周波数成分が低いAC係数成分をまとめ、以下、順に同一次数のAC係数をまとめるように、8個のDCTブロックに跨がって係数データを並び替える。

#### 【0114】

並び替えられた係数データは、DC ( $Y_1$ ) , DC ( $Y_2$ ) , DC ( $Y_3$ ) , DC ( $Y_4$ ) , DC ( $Cb_1$ ) , DC ( $Cr_1$ ) , DC ( $Cb_2$ ) , DC ( $Cr_2$ ) , AC<sub>1</sub> ( $Y_1$ ) , AC<sub>1</sub> ( $Y_2$ ) , AC<sub>1</sub> ( $Y_3$ ) , AC<sub>1</sub> ( $Y_4$ ) , AC<sub>1</sub> ( $Cb_1$ ) , AC<sub>1</sub> ( $Cr_1$ ) , AC<sub>1</sub> ( $Cb_2$ ) , AC<sub>1</sub> ( $Cr_2$ ) , ...である。ここで、DC、AC<sub>1</sub>、AC<sub>2</sub>、...は、図20を参照して説明したように、ランとそれに続くレベルとからなる組に対して割り当てられた可変長符号の各符号である。

#### 【0115】

記録側ストリームコンバータで係数データの順序が並べ替えられた変換エレメンタリストリームは、ECCエンコーダ109に内蔵されるパッキングおよびシャフリング部に供給される。マクロブロックのデータの長さは、変換エレメンタリストリームと変換前のエレメンタリストリームとで同一である。また、MPEGエンコーダ102において、ビットレート制御によりGOP (1フレーム) 単位に固定長化されていても、マクロブロック単位では、長さが変動している。パッキングおよびシャフリング部では、マクロブロックのデータを固定枠に当てはめる。

#### 【0116】

図22は、パッキングおよびシャフリング部でのマクロブロックのパッキング処理を概略的に示す。マクロブロックは、所定のデータ長を持つ固定枠に当ては

められ、パッキングされる。このとき用いられる固定枠のデータ長を、記録および再生の際のデータの最小単位であるシンクブロックのデータ格納領域であるペイロードのデータ長と一致させている。これは、シャフリングおよびエラー訂正符号化の処理を簡単に行うためである。図22では、簡単のため、1フレームに8マクロブロックが含まれるものと仮定する。

## 【0117】

可変長符号化によって、図22Aに一例が示されるように、8マクロブロックの長さは、互いに異なる。この例では、固定枠である1シンクブロックのデータ領域（ペイロード）の長さと比較して、マクロブロック#1のデータ、#3のデータおよび#6のデータがそれぞれ長く、マクロブロック#2のデータ、#5のデータ、#7のデータおよび#8のデータがそれぞれ短い。また、マクロブロック#4のデータは、ペイロードと略等しい長さである。

## 【0118】

パッキング処理によって、マクロブロックがペイロード長の固定長枠に詰め込まれる。過不足無くデータを詰め込むことができるのは、1フレーム期間で発生するデータ量が固定量に制御されているからである。図22Bに一例が示されるように、ペイロードと比較して長いマクロブロックは、ペイロード長に対応する位置で分割される。分割されたマクロブロックのうち、ペイロード長からはみ出た部分（オーバーフロー部分）は、先頭から順に空いている領域に、すなわち、長さがペイロード長に満たないマクロブロックの後ろに、詰め込まれる。

## 【0119】

図22Bの例では、マクロブロック#1の、ペイロード長からはみ出た部分が、まず、マクロブロック#2の後ろに詰め込まれ、そこがペイロードの長さに達すると、マクロブロック#5の後ろに詰め込まれる。次に、マクロブロック#3の、ペイロード長からはみ出た部分がマクロブロック#7の後ろに詰め込まれる。さらに、マクロブロック#6のペイロード長からはみ出た部分がマクロブロック#7の後ろに詰め込まれ、さらにはみ出た部分がマクロブロック#8の後ろに詰め込まれる。こうして、各マクロブロックがペイロード長の固定枠に対してパッキングされる。

## 【0120】

各マクロブロックに対応する可変長データの長さは、記録側ストリームコンバータにおいて予め調べておくことができる。これにより、このパッキング部では、VLCデータをデコードして内容を検査すること無く、マクロブロックのデータの最後尾を知ることができる。

## 【0121】

上述したように、この一実施形態では、マクロブロック内でのDCT係数の並び替えや、1ピクチャ単位でのマクロブロックデータのペイロードへのパッキングといった処理を行っている。そのため、例えばテープのドロップアウトなどによりエラー訂正符号のエラー訂正能力を超えてエラーが発生したような場合でも、画質の劣化を少なく抑えることができる。

## 【0122】

図23および図24を用いて、係数並び替えおよびパッキングによる効果について説明する。ここでは、クロマフォーマットが4:2:2の例について説明する。図23は、DCTブロックおよびDCT係数がMPEG ESに準じて供給される場合を示す。この場合には、図23Aのように、スライスヘッダやマクロブロック(MB)ヘッダに続けて、DCTブロックが輝度信号 $Y_1 \sim Y_4$ 、色差信号 $Cb_1$ 、 $Cr_1$ 、 $Cb_2$ および $Cr_2$ の順に並べられている。各々のブロックでは、DCT係数がDC成分およびAC成分の低次から高次へと並べられている。

## 【0123】

ここで、例えばECCデコーダなどにおいて、エラー訂正符号のエラー訂正能力を超えて、図23Aの位置Aのタイミング、すなわち、ブロック $Cb_1$ の高次係数にエラーが発生したとする。上述したように、MPEGでは、スライスが1つの可変長符号系列を構成している。そのため、一度エラーが発生すると、エラー位置から次のスライスヘッダが検出されるまでのデータは信頼できない。したがって、1スライス=1マクロブロックで構成されるこのストリームでは、このマクロブロック内の位置A以降のデータの復号化ができないことになる。

## 【0124】

その結果、図 2 3 B に一例が示されるように、色差信号のブロック  $C r_1$ 、 $C b_2$  および  $C r_2$  は、DC 成分すらも再現することができない。したがって、ブロック  $Y_1$  および  $Y_2$  に相当する部分 B は、ブロック  $C b_1$  の高次およびそれ以外の色差信号のブロックが再現できないため、ブロック  $C b_1$  の低次係数で得られる異常な色の画像となってしまふ。また、ブロック  $Y_3$  および  $Y_4$  に相当する部分 C は、輝度信号しか再現されないため、モノクロームの画像となってしまふ。

## 【 0 1 2 5 】

図 2 4 は、この一実施形態による DCT 係数の並び替えを行った変換ストリームを示す。この例でも、図 2 3 の場合と同様に、位置 A でエラーが発生したものとする。変換ストリームにおいては、図 2 4 A に一例が示されるように、スライスヘッダやマクロブロックヘッダに続けて、各 DCT ブロックを跨いで DCT 係数が成分毎にまとめられたブロックが、DC 成分および AC 成分の低次から高次へと並べられている。

## 【 0 1 2 6 】

この場合でも、エラー位置以降のデータは、次のスライスヘッダが検出されるまで信頼できず、このマクロブロック内のエラー位置 A 以降のデータは、再現されない。しかしながら、この変換ストリームでは、エラーによって復号不能となるデータは、各 DCT ブロック内の DCT 係数における AC 成分の高次側であり、各 DCT ブロックの DCT 係数における DC 成分および AC 成分の低次側は、均等に得られることになる。したがって、図 2 4 B に示されるように、高次の AC 成分が再現されないために、画像の詳細な部分は欠けるが、上述の MPEG ES の場合のように、モノクロームになったり、2 つある色差成分のうち片方が欠けたような異常な色になることは、殆どの場合回避できることになる。

## 【 0 1 2 7 】

これにより、上述のパッキングにより他の固定枠長に格納されたデータが再現できなくても、ある程度の画質が確保できることになる。そのため、高速再生などの際の画質の劣化が抑えられる。

## 【 0 1 2 8 】

図25は、上述したECCエンコーダ109のより具体的な構成を示す。図25において、164がICに対して外付けのメインメモリ160のインターフェースである。メインメモリ160は、SDRAMで構成されている。インターフェース164によって、内部からのメインメモリ160に対する要求を調停し、メインメモリ160に対して書込み／読出しの処理を行う。また、パッキング部137a、ビデオシャフリング部137b、パッキング部137cによって、パッキングおよびシャフリング部137が構成される。

#### 【0129】

図26は、メインメモリ160のアドレス構成の一例を示す。メインメモリ160は、例えば64MビットのSDRAMで構成される。メインメモリ160は、ビデオ領域250、オーバーフロー領域251およびオーディオ領域252を有する。ビデオ領域250は、4つのバンク(vbank#0、vbanks#1、vbanks#2およびvbanks#3)からなる。4バンクのそれぞれは、1等長化単位のデジタルビデオ信号が格納できる。1等長化単位は、発生するデータ量を略目標値に制御する単位であり、例えばビデオ信号の1ピクチャ(Iピクチャ)である。図26中の、部分Aは、ビデオ信号の1シンクブロックのデータ部分を示す。1シンクブロックには、フォーマットによって異なるバイト数のデータが挿入される。複数のフォーマットに対応するために、最大のバイト数以上であって、処理に都合の良いバイト数例えば256バイトが1シンクブロックのデータサイズとされている。

#### 【0130】

ビデオ領域の各バンクは、さらに、パッキング用領域250Aと内符号化エンコーダへの出力用領域250Bとに分けられる。オーバーフロー領域251は、上述のビデオ領域に対応して、4つのバンクからなる。さらに、オーディオデータ処理用の領域252をメインメモリ160が有する。

#### 【0131】

この一実施形態では、各マクロブロックのデータ長標識を参照することによって、パッキング部137aが固定枠長データと、固定枠を越える部分であるオーバーフローデータとをメインメモリ160の別々の領域に分けて記憶する。固定



枠長データは、シンクブロックのデータ領域（パイロード）の長さ以下のデータであり、以下、ブロック長データと称する。ブロック長データを記憶する領域は、各バンクのパッキング処理用領域 2 5 0 A である。ブロック長より短いデータ長の場合には、メインメモリ 1 6 0 の対応する領域に空き領域を生じる。ビデオシャフリング部 1 3 7 b が書込みアドレスを制御することによってシャフリングを行う。ここで、ビデオシャフリング部 1 3 7 b は、ブロック長データのみをシャフリングし、オーバーフロー部分は、シャフリングせずに、オーバーフローデータに割り当てられた領域に書込まれる。

## 【 0 1 3 2 】

次に、パッキング部 1 3 7 c が外符号エンコーダ 1 3 9 へのメモリにオーバーフロー部分をパッキングして読み込む処理を行う。すなわち、メインメモリ 1 6 0 から外符号エンコーダ 1 3 9 に用意されている 1 E C C ブロック分のメモリに対してブロック長のデータを読み込み、若し、ブロック長のデータに空き領域があれば、そこにオーバーフロー部分を読み込んでブロック長にデータが詰まるようにする。そして、1 E C C ブロック分のデータを読み込むと、読み込み処理を一時中断し、外符号エンコーダ 1 3 9 によって外符号のパリティを生成する。外符号パリティは、外符号エンコーダ 1 3 9 のメモリに格納する。外符号エンコーダ 1 3 9 の処理が 1 E C C ブロック分終了すると、外符号エンコーダ 1 3 9 からデータおよび外符号パリティを内符号を行う順序に並び替えて、メインメモリ 1 6 0 のパッキング処理用領域 2 5 0 A と別の出力用領域 2 5 0 B に書き戻す。ビデオシャフリング部 1 4 0 は、この外符号の符号化が終了したデータをメインメモリ 1 6 0 へ書き戻す時のアドレスを制御することによって、シンクブロック単位のシャフリングを行う。

## 【 0 1 3 3 】

このようにブロック長データとオーバーフローデータとを分けてメインメモリ 1 6 0 の第 1 の領域 2 5 0 A へのデータの書込み（第 1 のパッキング処理）、外符号エンコーダ 1 3 9 へのメモリにオーバーフローデータをパッキングして読み込む処理（第 2 のパッキング処理）、外符号パリティの生成、データおよび外符号パリティをメインメモリ 1 6 0 の第 2 の領域 2 5 0 B に書き戻す処理が 1 E C

Cブロック単位でなされる。外符号エンコーダ139がECCブロックのサイズのメモリを備えることによって、メインメモリ160へのアクセスの頻度を少なくすることができる。

#### 【0134】

そして、1ピクチャに含まれる所定数のECCブロック（例えば32個のECCブロック）の処理が終了すると、1ピクチャのパッキング、外符号の符号化が終了する。そして、インターフェース164を介してメインメモリ160の領域250Bから読出したデータがID付加部148、内符号エンコーダ149、同期付加部150で処理され、並列直列変換部124によって、同期付加部150の出力データがビットシリアルデータに変換される。出力されるシリアルデータがパシャル・レスポンスクラス4のプリコーダ125により処理される。この出力が必要に応じてデジタル変調され、記録アンプ110を介して、回転ドラム11.1に設けられた回転ヘッドに供給される。

#### 【0135】

なお、ECCブロック内にヌルシンクと称する有効なデータが配されないシンクブロックを導入し、記録ビデオ信号のフォーマットの違いに対してECCブロックの構成の柔軟性を持たせるようになされる。ヌルシンクは、パッキングおよびシャフリングブロック137のパッキング部137aにおいて生成され、メインメモリ160に書込まれる。従って、ヌルシンクがデータ記録領域を持つことになるので、これをオーバーフロー部分の記録用シンクとして使用することができる。

#### 【0136】

オーディオデータの場合では、1フィールドのオーディオデータの偶数番目のサンプルと奇数番目のサンプルとがそれぞれ別のECCブロックを構成する。ECCの外符号の系列は、入力順序のオーディオサンプルで構成されるので、外符号系列のオーディオサンプルが入力される毎に外符号エンコーダ136が外符号パリティを生成する。外符号エンコーダ136の出力をメインメモリ160の領域252に書込む時のアドレス制御によって、シャフリング部137がシャフリング（チャンネル単位およびシンクブロック単位）を行う。

## 【0137】

さらに、126で示すCPUインターフェースが設けられ、システムコントローラとして機能する外部のCPU127からのデータを受け取り、内部ブロックに対してパラメータの設定が可能とされている。複数のフォーマットに対応するために、シンクブロック長、パリティ長を始め多くのパラメータを設定することが可能とされている。

## 【0138】

パラメータの1つとしての”パッキング長データ”は、パッキング部137aおよび137bに送られ、パッキング部137a、137bは、これに基づいて決められた固定枠（図22Aで「ペイロード長」として示される長さ）にVLCデータを詰め込む。

## 【0139】

パラメータの1つとしての”パック数データ”は、パッキング部137bに送られ、パッキング部137bは、これに基づいて1シンクブロック当たりのパック数を決め、決められたパック数分のデータを外符号エンコーダ139に供給する。

## 【0140】

パラメータの1つとしての”ビデオ外符号パリティ数データ”は、外符号エンコーダ139に送られ、外符号エンコーダ139は、これに基づいた数のパリティが発生されるビデオデータの外符号の符号化を行う。

## 【0141】

パラメータの1つとしての”ID情報”および”DID情報”のそれぞれは、ID付加部148に送られ、ID付加部148は、これらID情報およびDID情報をメインメモリ160から読み出された単位長のデータ列に付加する。

## 【0142】

パラメータの1つとしての”ビデオ内符号用パリティ数データ”および”オーディオ内符号用パリティ数データ”のそれぞれは、内符号エンコーダ149に送られ、内符号エンコーダ149は、これらに基づいた数のパリティが発生されるビデオデータとオーディオデータの内符号の符号化を行う。なお、内符号エンコ

ーダ 1 4 9 には、パラメータの 1 つである”シンク長データ”も送られており、これにより、内符号化されたデータの単位長（シンク長）が規制される。

【0 1 4 3】

また、パラメータの 1 つとしてのシャフリングテーブルデータがビデオ用シャフリングテーブル（RAM）1 2 8 v およびオーディオ用シャフリングテーブル（RAM）1 2 8 a に格納される。シャフリングテーブル 1 2 8 v は、ビデオシャフリング部 1 3 7 b および 1 4 0 のシャフリングのためのアドレス変換を行う。シャフリングテーブル 1 2 8 a は、オーディオシャフリング 1 3 7 のためのアドレス変換を行う。

【0 1 4 4】

この一実施形態では、フレームの最後のデータに同期したフレームエンド信号 `Frame End` を用い、各フレームの終端を表す。こうすることで、フレーム単位での処理は、フレームエンド信号 `Frame End` を受け取った時点で終了することができる。したがって、フレームエンド信号 `Frame End` を受け取った時点から次の処理に移行したり、次の処理の準備を行うことが可能となる。そのため、フレームエンド信号 `Frame End` を用いることにより、処理ディレイを小さくすることができる。

【0 1 4 5】

また、伝送路における障害などにより、スタートコードの欠落、ビット反転などが発生し、スタートコードが検出できなくなってしまうても、フレームエンド信号 `Frame End` を検出することで、そのフレームの処理を終了することができる。より具体的には、スタートコードの欠落などによりスタートコードがスリップし、本来有効データであったデータが無効データになっても、フレームエンド信号 `Frame End` から次のスタートコードまでを無視する。こうすることで、正常なストリームが入力されれば即座にスタートコードに反応して、そのフレームから安定して処理を行うように復帰できる。

【0 1 4 6】

フレームエンド信号 `Frame End` は、`SDTI-CP` におけるヘッダ情報に基づき、フレームの最後のデータに同期して生成される。`SDTI-CP` に

において、システム(System)、ピクチャ(Picture)、オーディオ(Audio)およびオグ  
ジリアリイ(Auxiliary)の各アイテムは、それぞれセパレータで始まりエンドコ  
ードで終わり、フレーム毎に完結する可変長のSDTIブロックに格納される。  
図27は、SDTIブロックに格納されるアイテムの一例のデータ構造を示す。  
なお、以下では、SDTIブロックに格納されるアイテムデータのブロックを、  
アイテムデータブロックと称する。

## 【0147】

図27Aに示されるように、アイテムデータブロックにおいて、アイテムのタ  
イプを示すアイテムタイプ(Item Type)が先頭に配される。アイテムタイプに続  
けて、このブロックのデータの有効長を示す、データ長が4バイトのアイテムワ  
ードカウント(Item Word Count)が配される。アイテムワードカウントは、この  
アイテムにおけるアイテムワードカウント以降のデータ長が記される。アイテム  
ワードカウントに続けて、データ長が1バイトのアイテムヘッダ(Item Header)  
が配され、その次から、各アイテムの実体であるエレメントデータブロックが配  
される。エレメントデータブロックは、図27Aに示されるように、1つのアイ  
テムデータブロック中に複数を格納することができる。アイテムヘッダには、エ  
レメントデータブロックの総数が示される。また、アイテムワードカウントは、  
アイテムヘッダとこのアイテムデータブロックに含まれる総エレメントデータブ  
ロックとを合わせたデータ長が示される。

## 【0148】

エレメントデータブロックは、図27Bに示されるように、先頭にエレメント  
の種類を示す1バイトのエレメントタイプ(Element Type)が配され、次にこのエ  
レメントデータブロックのデータの有効長を示す4バイトのエレメントワードカ  
ウント(Element Word Count)が配される。エレメントワードカウントは、このエ  
レメントデータブロックにおけるエレメントワードカウント以降のデータ長が記  
される。エレメントワードカウントに続けて、1バイトのエレメントナンバ(Ele  
ment Number)が配され、その後ろに配されるエレメントデータ(Element data)に  
、アイテムの実質的なデータが格納される。上述したエレメントワードカウント  
は、エレメントナンバとエレメントデータとの総ワード数が示される。

## 【0149】

このように、アイテムデータブロックは、フレーム毎に完結する可変長のデータブロックである。この一実施形態では、アイテムデータブロック中のアイテムワードカウントによって、アイテムデータブロックにおける最後のデータの位置を求め、求められた終端位置に基づき、フレームエンド信号 *Frame End* を発生させる。フレームエンド信号 *Frame End* は、図27Aに意散れが示されるように、アイテムデータブロックの末尾、すなわち、アイテムデータブロックに含まれるエレメントデータブロック全体における最後のデータに同期して立ち上がるパルスである。

## 【0150】

上述したように、SDTI受信部108で生成されたフレームエンド信号 *Frame End* は、記録側MFC106に供給される。図28は、記録側MFC106の一例の構成を示す。記録側MFC106に供給されたフレームエンド信号 *Frame End* は、所定の検出ディレイを与える遅延回路305を介して、遅延されたフレームエンド信号 *delayed\_frame\_end* とされ、RSフリップフロップ回路（以下、RS\_FF回路）304のセット入力およびタイミングジェネレータ308に供給される。

## 【0151】

MPEGの各層のヘッダ情報を検出する検出回路301、302および303に供給されると共に、タイミングジェネレータ308に供給される。フレームパルスは、例えば端子105から入力された基準信号に基づきタイミングジェネレータ104で生成される。フレームパルスは、例えば、フレーム信号に基づき、SDTIにおけるフレーム先頭に同期して生成される。検出回路301、302および303、ならびに、タイミングジェネレータ308は、フレームパルスによりリセットされる。

## 【0152】

また、SDTI受信部108から出力されたイネーブル信号およびエレメンタリストリームがそれぞれ遅延回路300に供給される。遅延回路300では、これらイネーブル信号とエレメンタリストリームとに、検出ディレイの調整用の遅

延を所定に与えて、それぞれ遅延されたイネーブル信号`delayed_enable`および遅延されたエレメンタリストリーム`delayed_data`として出力する。信号`delayed_enable`は、スイッチ回路306の一方の入力端に供給される。信号`delayed_data`は、スイッチ回路307の一方の入力端に供給される。なお、これらスイッチ回路306および307の他方の入力端には、それぞれ値「0」が供給される。

#### 【0153】

一方、SDTI受信部108から出力されたエレメンタリストリームおよびイネーブル信号は、上述の検出ディレイ調整用の遅延回路300に供給されると共に、検出回路301、302および303にそれぞれ供給される。検出回路301、302および303は、入力されたエレメンタリストリームに対してパターンマッチングなどを行い、それぞれ所定の階層のスタートコードの検出を行う。

#### 【0154】

図13を用いて説明したように、MPEGのエレメンタリストリームは、ピクチャ層までは符号の境界がバイト毎に区切られている。また、上述の図2～図7に示されるように、フレーム単位で区切られる各層（シーケンス層、GOP層およびピクチャ層）において、スタートコードのデータ長は、32ビットとされている。したがって、これら検出回路301、302および303において、バイト毎にパターンマッチングを行うことで、各層のスタートコードを検出することが出来る。

#### 【0155】

検出回路301は、シーケンス層のスタートコードであるシーケンスヘッダコード1を検出する。シーケンスヘッダコード1は、バイト配列が〔00 00 01 B3〕とされる。検出回路301では、1バイト毎にパターンマッチングを行い、このバイト配列を検出することによって、シーケンスヘッダコード1を検出する。検出結果は、シーケンススタートコード1が検出されると値が「1」、検出されないと値が「0」とされる信号`sequence_header_code_det`として出力される。信号`sequence_header_code_det`は、OR回路310の第1の入力端に供給される。

## 【0156】

検出回路302は、GOP層のスタートコードであるGOPスタートコード5を検出する。GOPスタートコード5は、バイト配列が〔00 00 01 B 8〕とされる。検出回路302では、1バイト毎にパターンマッチングを行い、このバイト配列を検出することによって、GOPスタートコード5を検出する。検出結果は、GOPスタートコード5が検出されると値が「1」、検出されないと値が「0」とされる信号group\_start\_code\_detとして出力される。信号group\_start\_code\_detは、OR回路310の第2の入力端に供給される。

## 【0157】

検出回路303は、ピクチャ層のスタートコードであるピクチャスタートコード8を検出する。ピクチャスタートコード8は、バイト配列が〔00 00 01 00〕とされる。検出回路301では、1バイト毎にパターンマッチングを行い、このバイト配列を検出することによって、ピクチャスタートコード8を検出する。検出結果は、ピクチャスタートコードが検出されると値が「1」、検出されないと値が「0」とされる信号picture\_start\_code\_detとして出力される。信号picture\_start\_code\_detは、OR回路310の第3の入力端に供給される。

## 【0158】

OR回路310では、検出回路301、302および303の検出結果に基づき、信号start\_code\_detを出力する。すなわち、OR回路310は、入力されたエレメンタリストリームからシーケンス層、GOP層またはピクチャ層の何れかのスタートコードが検出されると、信号start\_code\_detの値が「1」とされ出力する。シーケンス層、GOP層およびピクチャ層の何れからともスタートコードが検出されないときには、信号start\_code\_detの値が「0」とされる。OR回路310から出力された信号start\_code\_detは、RS\_FF回路304のリセット入力に供給される。それと共に、信号start\_code\_detは、タイミングジェネレータ308にも供給される。



## 【0159】

RS\_FF回路304は、上述したように、セット入力にフレームエンド信号Frame Endが供給されている。したがって、RS\_FF回路304の出力信号である信号inhibitは、シーケンス層、GOP層またはピクチャ層の何れかのスタートコードが検出されOR回路310から出力された信号start\_code\_detの値が「1」になると”L”レベルとされ、フレームエンド信号Frame End（実際には信号delayed\_frame\_end）が立ち上がると、”H”レベルとされる。

## 【0160】

RS\_FFから出力された信号inhibitは、スイッチ回路306および307に供給される。スイッチ回路306および307は、それぞれ、この信号inhibitに基づき一方および他方の入力端が選択的に切り替えられる。

## 【0161】

スイッチ回路306は、信号inhibitが”L”レベルのときに一方の入力端に切り替えられ、遅延回路300から出力された信号delayed\_enableが選択的に出力される。また、信号inhibitが”H”レベルのときに他方の入力端に切り替えられ、値「0」が出力される。したがって、イネーブル信号enable（実際には信号delayed\_enable）は、信号inhibitが”H”レベルの間、すなわち、フレームエンド信号Frame Endが”H”レベルとされてから、次のスタートコードが検出されるまでの間、値がイネーブル信号enableによらず常に「0」とされ、その期間のデータが無効であることが示される。

## 【0162】

同様に、スイッチ回路307は、信号inhibitが”L”レベルのときに一方の入力端に切り替えられ、遅延回路300から遅延されて出力された信号delayed\_dataが選択的に出力される。また、信号inhibitが”H”レベルのときに他方の入力端に切り替えられ、値「0」が出力される。したがって、エレメンタリストリーム（実際には信号delayed\_data）は、信号inhibitが”H”レベルの間、すなわち、フレームエンド信号Fr

ame Endが”H”レベルとされてから、次のスタートコードが検出されるまでの間、エレメンタリストリームによらず常に値「0」のストリームが出力される。

#### 【0163】

なお、タイミングジェネレータ308は、フレームパルスにより状態がリセットされる。その後、タイミングジェネレータ308において、信号start\_code\_detおよび信号delayed\_frame\_endに基づき、様々なタイミング信号が生成される。これらのタイミング信号は、それぞれにおいて適切な処理がなされるように、図示されないメモリのアドレスコントローラや、可変長符号のデコーダなどに供給される。

#### 【0164】

図29は、この一実施形態によるフレーム処理を説明するための一例のタイミングチャートである。図29Bは、1/2フレーム毎に反転するフレーム信号である。図29Aは、このフレーム信号に基づきフレームの先頭で処理を初期化するためのフレームリセット信号Frame Resetである。図29Cは、フレーム単位で伝送されるエレメンタリストリームを示す。上述したように、MP EGでは可変長符号を用いて圧縮符号化が行われると共に、SDTI-CPでは、1フレーム期間にバースト的にエレメンタリストリームが供給される。1フレーム期間中で余った期間は、無効データとされる。

#### 【0165】

なお、この図29の例では、図30の例と同様に、第5フレーム目で、フレーム先頭を示すスタートコードが例えばビット反転し、第5フレーム目のスタートコードが検出不能になっているものとする。

#### 【0166】

図29Eは、フレームエンド信号Frame Endを示す。図29Dは、上述した、フレームエンド信号Frame Endとスタートコードの検出結果に基づき生成されるイネーブル信号enableである。上述したように、イネーブル信号enableは、フレームのスタートコード、すなわち、シーケンスヘッダコード1、GOPスタートコード5またはピクチャスタートコード8の何

れかが検出されると、データの有効を示す値`delayed_enable`を出力し、フレームエンド信号`Frame End`で、`delayed_enable`によらず常にデータの無効を示す値、例えば「0」とされる。

#### 【0167】

したがって、スタートコードが正常に検出可能な第1～第4フレームでは、フレームのデータが終了した時点で、フレームエンド信号`Frame End`によりイネーブル信号`enable`がデータの無効を示す値、例えば「0」とされる。そして、次のフレームの先頭でスタートコードが検出されると、イネーブル信号`enable`は、データの有効を示す値`delayed_enable`を出力し、例えば「1」とされる。

#### 【0168】

フレームの最後のデータに同期したフレームエンド信号`Frame End`によって、そのフレームの処理を終えることができる。そのため、次のスタートコードが検出されると、直ちに次のフレームのための処理あるいは処理の準備を行うことができるため、処理の遅延が小さくなる。

#### 【0169】

また、フレームの終了が1フレーム期間にバースト的に伝送されるデータの、最後のデータの位置に基づくフレームエンド信号`Frame End`により認識され、次のフレームの先頭がスタートコードの検出により認識されるため、フレームの終了と、次のフレームの開始が異なるタイミングになる。そのため、図29Aに示されるような、フレーム単位のリセットを確実にかけることが可能になる。

#### 【0170】

第5フレーム目のように、スタートコードが何らかの理由で検出できなかった場合には、第4フレーム目において、フレームエンド信号`Frame End`によって`RS_FF`回路304がセットされ、イネーブル信号`enable`がデータの無効を示す値「0」とされる。ところが、第5フレーム目で、スタートコードが検出されないため、その時点で`RS_FF`回路304がリセットされず、`delayed_enable`の値によらず常にイネーブル信号`enable`にお

いてデータの無効を示す値「0」が保持される。そして、次にスタートコードが検出されると、RS\_FF回路304がリセットされ、イネーブル信号enableがデータの有効を示す値delayed\_enableが出力される。

#### 【0171】

このように、フレームの最後のデータに同期したフレームエンド信号Frame Endを用いることで、そのフレームの処理を確実に終了することができる。また、フレームエンド信号Frame End以降のデータを無視することができるので、無効データを確実に排除できる。

#### 【0172】

なお、上述では、MPEG ESを記録する記録媒体を磁気テープであるとしたが、これはこの例に限定されない。この発明は、記録媒体が例えばハードディスクドライブのようなディスク記録媒体であっても適用可能なものである。

#### 【0173】

##### 【発明の効果】

以上説明したように、この発明は、フレーム毎に、フレームの最後のデータに同期したフレームエンド信号Frame Endを用いているため、次フレームの処理を、スタートコードを検出して直ちに行うことができ、処理ディレイを小さくすることができる効果がある。

#### 【0174】

また、フレームエンド信号Frame Endを用いているため、フレームの終端を確実に知ることができ、フレーム単位の処理を安定的に行うことができる効果がある。

#### 【0175】

さらに、フレームエンド信号Frame Endでイネーブル信号enableがデータの無効を示す値とされ、スタートコードが検出されるとイネーブル信号enableがデータの有効を表す値とされ、それにより、スタートコードが検出できないような場合には、データが無効であるとされる。そして、次にスタートコードが検出されたことから処理を復帰することができる。したがって、イレギュラーなストリームの入力に対して耐性があるという効果がある。

【 0 1 7 6 】

したがって、この発明を適用することにより、信頼性の高いMPEGストリーム処理装置やMPEGストリーム対応のVTRなどを実現することができる効果がある。

【図面の簡単な説明】

【図 1】

MPEG 2 のデータの階層構造を概略的に示す略線図である。

【図 2】

MPEG 2 のストリーム中に配されるデータの内容とビット割り当てを示す略線図である。

【図 3】

MPEG 2 のストリーム中に配されるデータの内容とビット割り当てを示す略線図である。

【図 4】

MPEG 2 のストリーム中に配されるデータの内容とビット割り当てを示す略線図である。

【図 5】

MPEG 2 のストリーム中に配されるデータの内容とビット割り当てを示す略線図である。

【図 6】

MPEG 2 のストリーム中に配されるデータの内容とビット割り当てを示す略線図である。

【図 7】

MPEG 2 のストリーム中に配されるデータの内容とビット割り当てを示す略線図である。

【図 8】

MPEG 2 のストリーム中に配されるデータの内容とビット割り当てを示す略線図である。

【図 9】

MPEG2のストリーム中に配されるデータの内容とビット割り当てを示す略線図である。

【図 1 0】

MPEG2のストリーム中に配されるデータの内容とビット割り当てを示す略線図である。

【図 1 1】

MPEG2のストリーム中に配されるデータの内容とビット割り当てを示す略線図である。

【図 1 2】

MPEG2のストリーム中に配されるデータの内容とビット割り当てを示す略線図である。

【図 1 3】

データのバイト単位の整列を説明するための図である。

【図 1 4】

一実施形態におけるMPEGストリームのヘッダを具体的に示す略線図である。

【図 1 5】

一実施形態による記録再生装置の構成の一例を示すブロック図である。

【図 1 6】

磁気テープ上に形成されるトラックフォーマットの一例を示す略線図である。

【図 1 7】

クロマフォーマットを説明するための略線図である。

【図 1 8】

クロマフォーマットを説明するための略線図である。

【図 1 9】

クロマフォーマットを説明するための略線図である。

【図 2 0】

ビデオエンコーダの出力の方法と可変長符号化を説明するための略線図である。

【図 2 1】

ビデオエンコーダの出力の順序の並び替えを説明するための略線図である。

【図 2 2】

順序の並び替えられたデータをシンクブロックにパッキングする処理を説明するための略線図である。

【図 2 3】

係数並び替えおよびパッキングによる効果について説明するための略線図である。

【図 2 4】

係数並び替えおよびパッキングによる効果について説明するための略線図である。

【図 2 5】

ECCエンコーダのより具体的な構成を示すブロック図である。

【図 2 6】

メインメモリのアドレス構成の一例を示す略線図である。

【図 2 7】

SDTIブロックに格納されるアイテムの一例のデータ構造を示す略線図である。

【図 2 8】

記録側MFCの一例の構成を示すブロック図である。

【図 2 9】

一実施形態によるフレーム処理を説明するための一例のタイミングチャートである。

【図 3 0】

従来の技術によるフレーム処理を説明するためのタイミングチャートである。

【符号の説明】

1・・・シーケンスヘッダコード、2・・・シーケンスヘッダ、3・・・シーケンス拡張、4・・・拡張およびユーザデータ、5・・・GOPスタートコード、6・・・GOPヘッダ、7・・・ユーザデータ、8・・・ピクチャスタートコー

ド、9・・・ピクチャヘッダ、10・・・ピクチャ符号化拡張、11・・・拡張  
 およびユーザデータ、12・・・スライススタートコード、13・・・スライス  
 ヘッダ、14・・・マクロブロックヘッダ、101・・・SDI受信部、102  
 ・・・MPEGエンコーダ、106・・・記録側マルチフォーマットコンバータ  
 (MFC)、108・・・SDTI受信部、109・・・ECCエンコーダ、1  
 12・・・磁気テープ、113・・・ECCデコーダ、114・・・再生側MF  
 C、115・・・SDTI出力部、116・・・MPEGデコーダ、118・・・  
 SDI出力部、137a, 137c・・・パッキング部、137b・・・ビデ  
 オシャフリング部、139・・・外符号エンコーダ、140・・・ビデオシャフ  
 リング、149・・・内符号エンコーダ、170・・・フレームメモリ、301  
 , 302, 303・・・検出回路、304・・・RS\_FF回路、306, 30  
 7・・・スイッチ回路、310・・・OR回路





【図 2】

コード名	ビット数	内容
sequence header code	32	シーケンスヘッダコード
horizontal size value	12	水平方向画素数下位12ビット
vertical size value	12	垂直方向ライン数下位12ビット
aspect ratio information	4	画素アスペクト比情報
frame rate code	4	フレームレートコード
bit rate value	18	ビットレート下位18ビット(400ビット単位表示)
vbv buffer size value	10	VBVバッファサイズ下位10ビット
intra quantiser matrix[64]	8*64	イントラMB用量子化マトリクス値
non intra quantiser matrix[64]	8*64	非イントラMB用量子化マトリクス値

【図 3】

コード名	ビット数	内容
extension start code	32	拡張データの開始同期コード
extension start code identifier	4	どの拡張データが送られるかを示す
profile and level indication	8	プロファイルとレベルの指示
progressive sequence	1	順次走査であることを示す
chroma format	2	色差フォーマットの指定
horizontal size extension	2	画像の横の画素数の上位2ビット
vertical size extension	2	画像の縦のライン数の上位2ビット
bit rate extension	12	ビットレート値の上位12ビット
marker bit	1	スタートコードエミュレーションの防止
vbv buffer size extension	8	VBVバッファサイズの上位8ビット
low delay	1	Bピクチャを含まないことを示す
frame rate extension n	2	フレームレート拡張
frame rate extension d	5	フレームレート拡張
next start code()		

【図 4】

コード名	ビット数	内容
extension data(0)		拡張データ(0)
sequence display extension( )		シーケンス表示( )
sequence scalable extension( )		シーケンススケーラブル拡張( )
extension start code identifier	4	シーケンススケーラブル拡張ID
scalable mode	2	スケーラビリティモード
layer id	4	スケーラブル階層のレイヤID
空間スケーラビリティの場合		
lower layer prediction horizontal size	14	予測用下位レイヤの水平サイズ
lower layer prediction vertical size	14	予測用下位レイヤの垂直サイズ
vertical subsampling factor n	5	垂直方向アップサンプル用除数
テンポラルスケーラビリティの場合		
picture mux order	3	第1ベースレイヤ画像前の付加レイヤ画像数
picture mux factor	3	ベースレイヤ間の付加レイヤの画像数
user data( )		ユーザデータ( )
user data	8	ユーザデータ

【図 5】

コード名	ビット数	内容
group start code	32	GOPスタートコード
time code	25	タイムコード(時, 分, 秒, ピクチャ)
closed gop	1	GOPの独立性を示すフラグ
broken link	1	GOP内Iピクチャ前のBピクチャの正当性フラグ

【図 6】

コード名	ビット数	内容
extension data(1)		拡張データ(1)
user data( )		ユーザデータ( )
user data	8	ユーザデータ

【図 7】

コード名	ビット数	内容
picture start code	32	ピクチャスタートコード
temporal reference	10	GOP内画像の表示順序(modulo 1024)
picture coding type	3	ピクチャ符号化タイプ(I, B, P)
vbv delay	16	復号開始までのVBV遅延量

【図 8】

コード名	ビット数	内容
f code[s][t]	4	前・後方向(s), 水平・垂直(t)動きベクトル範囲
intra dc precision	2	イントラMBのDC係数精度
picture structure	2	ピクチャ構造(フレーム, フィールド)
top field first	1	表示フィールドの指定
frame pred frame dct	1	フレーム予測+フレームDCTフラグ
concealment motion vectors	1	イントラMBコンシールメントMVフラグ
q scale type	1	量子化スケールタイプ(線形, 非線形)
intra vlc format	1	イントラMB用VLCタイプ
alternate scan	1	スキャンタイプ(ジグザグ, オルタネート)
repeat first field	1	2:3プルダウン用フィールドリピート
chroma 420 type	1	4:2:0のときprogressive frameと同値
progressive frame	1	プログレッシブフレームフラグ

【図 9】

コード名	ビット数	内容
extension data(2)		拡張データ(2)
quant matrix extension( )		量子化マトリクス拡張( )
intra quantiser matrix[64]	8*64	イントラMB量子化マトリクス
non intra quantiser matrix[64]	8*64	非イントラMB量子化マトリクス
chroma intra quantiser matrix [64]	8*64	色差イントラ量子化マトリクス
chroma non intra quantiser matrix[64]	8*64	色差非イントラ量子化マトリクス
copyright extension( )		著作権拡張( )
picture display extension( )		ピクチャ表示拡張( )
picture spatial scalable extension( )		ピクチャ空間スケーラブル拡張( )
spatial temporal weight code table index	2	アップサンプル用時空間重み付けテーブル
lower layer progressive frame	1	下位レイヤプログレッシブ画像フラグ
lower layer deinterlaced field select	1	下位レイヤのフィールド選択
picture temporal scalable extension( )		ピクチャテンポラルスケーラブル拡張( )
reference select code	2	参照画面の選択
forward temporal reference	10	前方向予測用下位レイヤの画像番号
backward temporal reference	10	後方向予測用下位レイヤの画像番号
user data( )		ユーザデータ( )
user data( )	8	ユーザデータ

【図 1 0】

コード名	ビット数	内容
slice start code	32	スライススタートコード+スライス垂直位置
slice vertical position extension	3	スライス垂直位置拡張用(>2800ライン)
priority breakpoint	7	データパーティショニング用区分点
quantiser scale code	5	量子化スケールコード(1~31)
intra slice	1	イントラスライスフラグ
macroblock( )		マクロブロックデータ( )

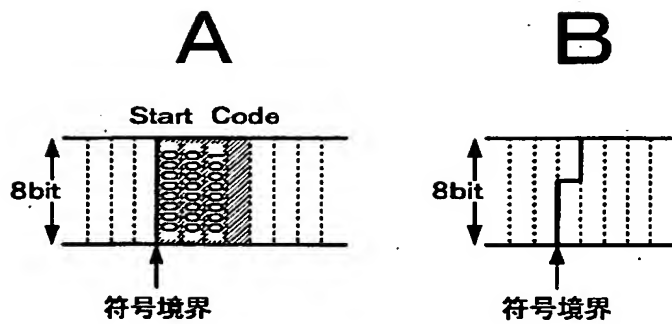
【図 1 1】

コード名	ビット数	内容
macroblock escape	11	MBアドレス拡張用(>33)
macroblock address increment	1-11	現MBアドレスと前MBアドレスの差
macroblock modes( )		マクロブロックモード( )
macroblock type	1-9	MB符号化タイプ(MC, Codedなど)
spatial temporal weight code	2	アップサンプル用の時空間重み付けコード
frame motion type	2	フレーム構造の動き補償タイプ
field motion type	2	フィールド構造の動き補償タイプ
dct type	1	DCTタイプ(フレーム, フィールド)
quantiser scale code	5	MB量子化スケールコード(1~31)
motion vectors( <i>s</i> )		動きベクトル( <i>s</i> )
motion vertical field select[ <i>r</i> ][ <i>s</i> ]	1	予測に用いる参照フィールドの選択
motion vector( <i>r</i> , <i>s</i> )		動きベクトル( <i>r</i> , <i>s</i> )
motion code[ <i>r</i> ][ <i>s</i> ][ <i>t</i> ]	1-11	基本差分動きベクトル
motion residual[ <i>r</i> ][ <i>s</i> ][ <i>t</i> ]	1-8	残差ベクトル
dmvector[ <i>t</i> ]	1-2	デュアルプライム用差分ベクトル
coded block pattern( )		CBP
block( <i>i</i> )		ブロックデータ( )

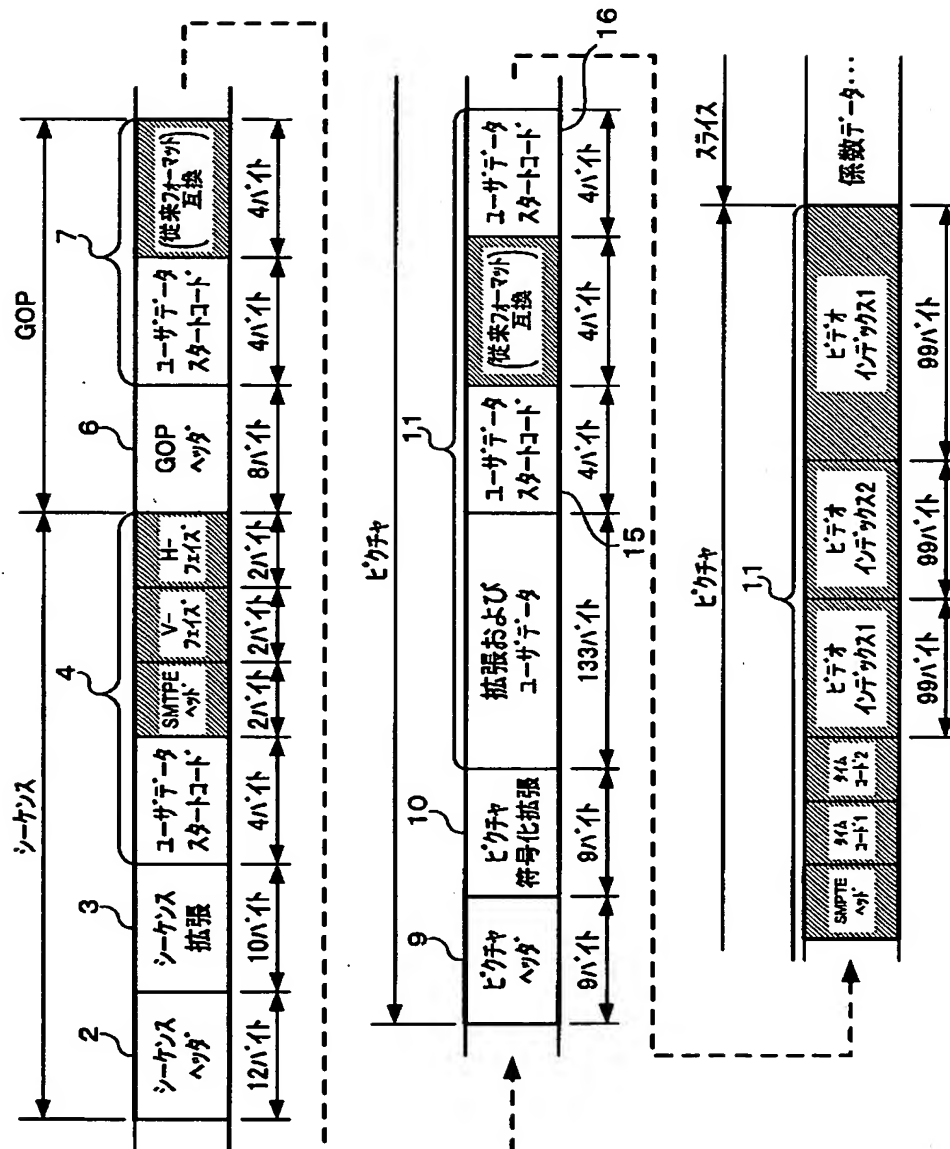
【図 1 2】

コード名	ビット数	内容
dct dc size luminance	2-9	DCT輝度DC係数差分サイズ
dct dc differential	1-11	DCT輝度DC係数差分値
dct dc size chrominance	2-10	DCT色差DC係数差分サイズ
dct dc differential	1-11	DCT色差DC係数差分値
First DCT coefficient	3-24	非イントラブックの第1非零係数
Subsequent DCT coefficient	2-24	後続のDCT係数
End of block	2 or 4	ブロック内のDCT係数終了フラグ

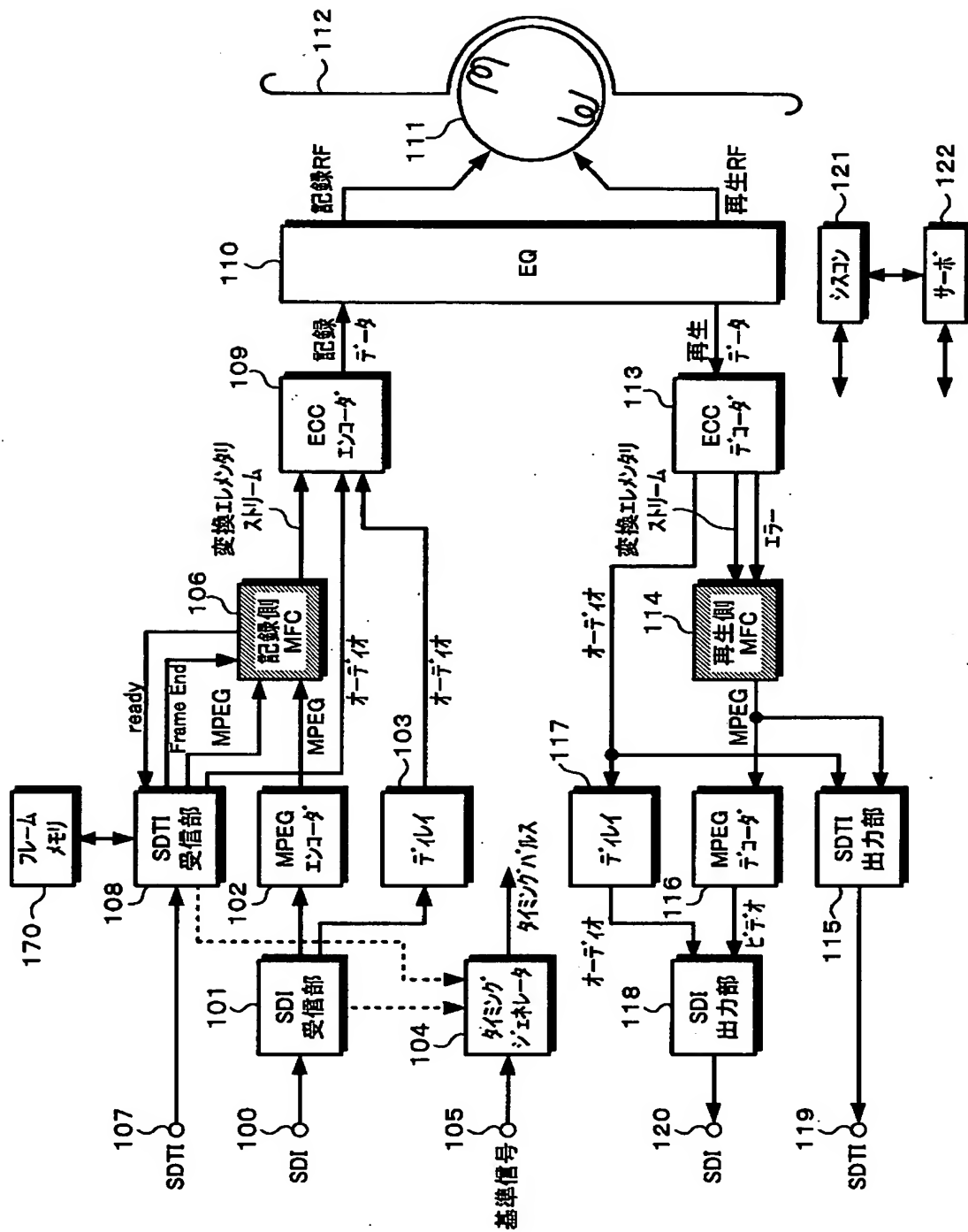
【図 13】



【図 14】

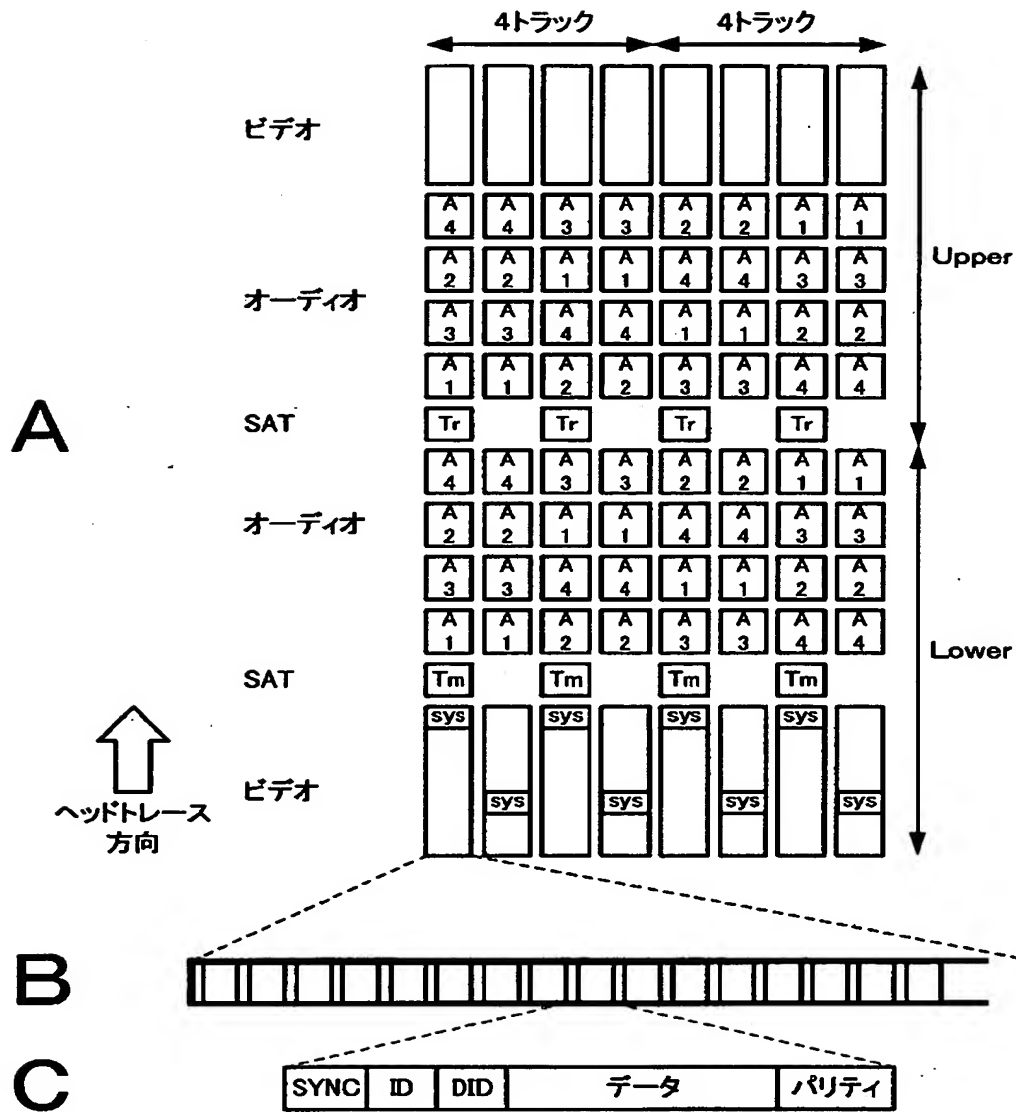


【図15】

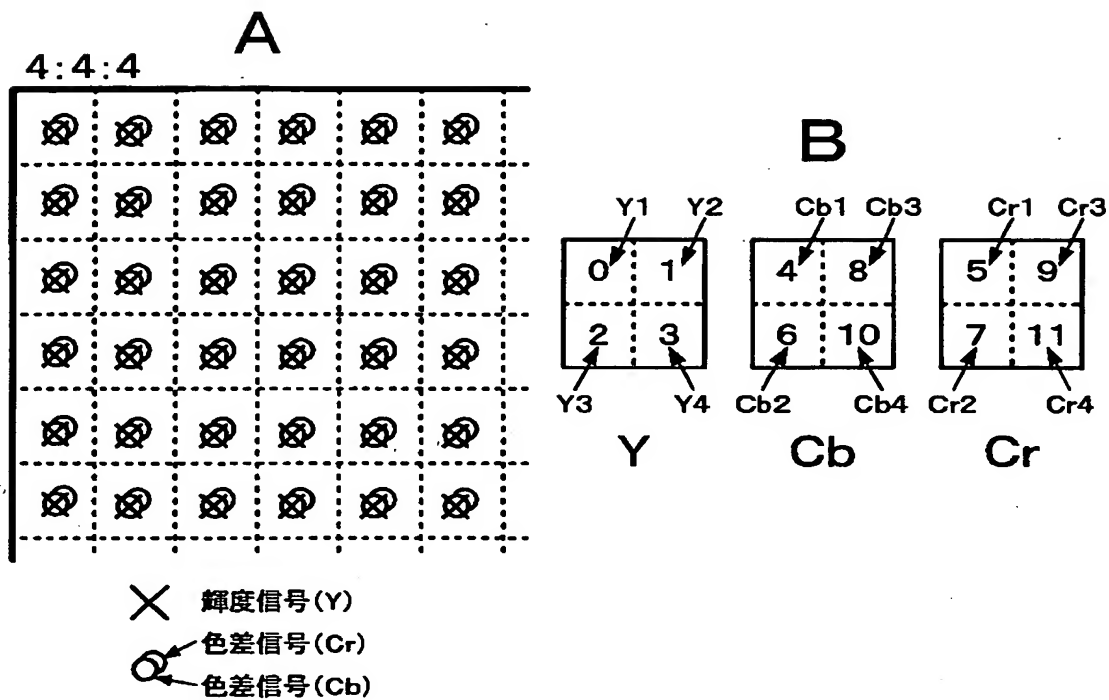




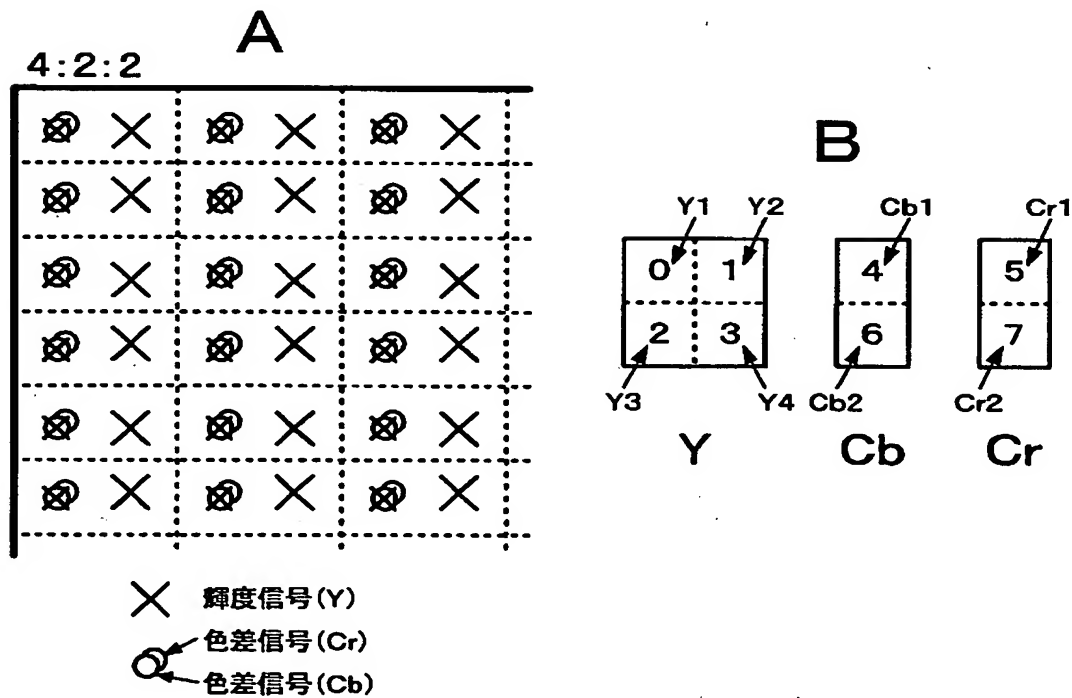
【図 16】



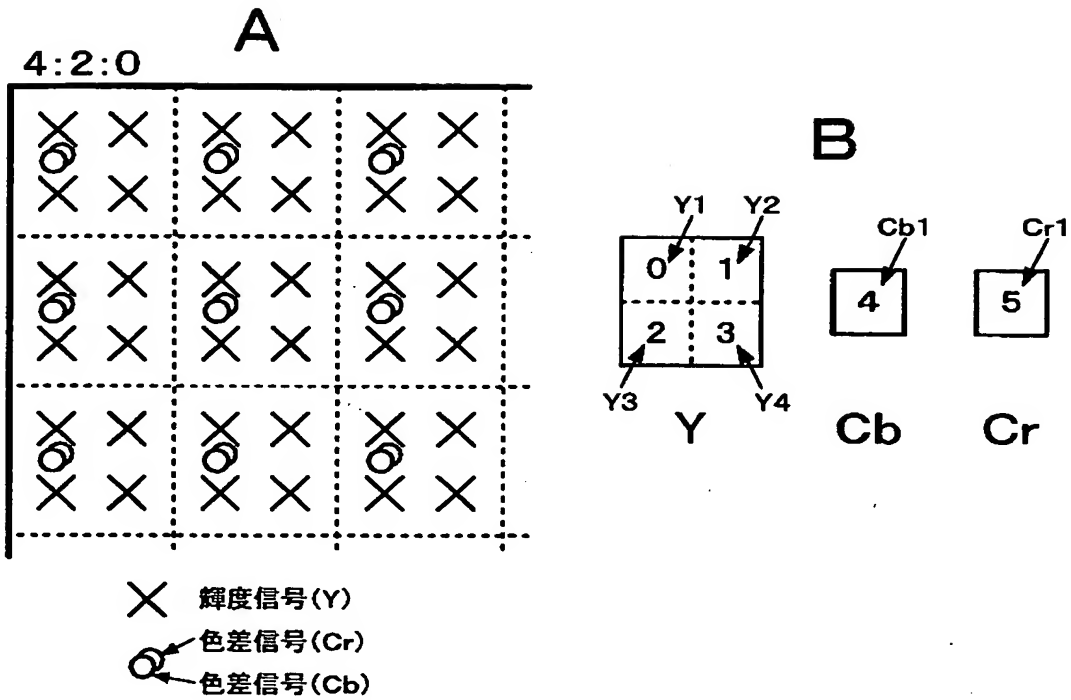
【図17】



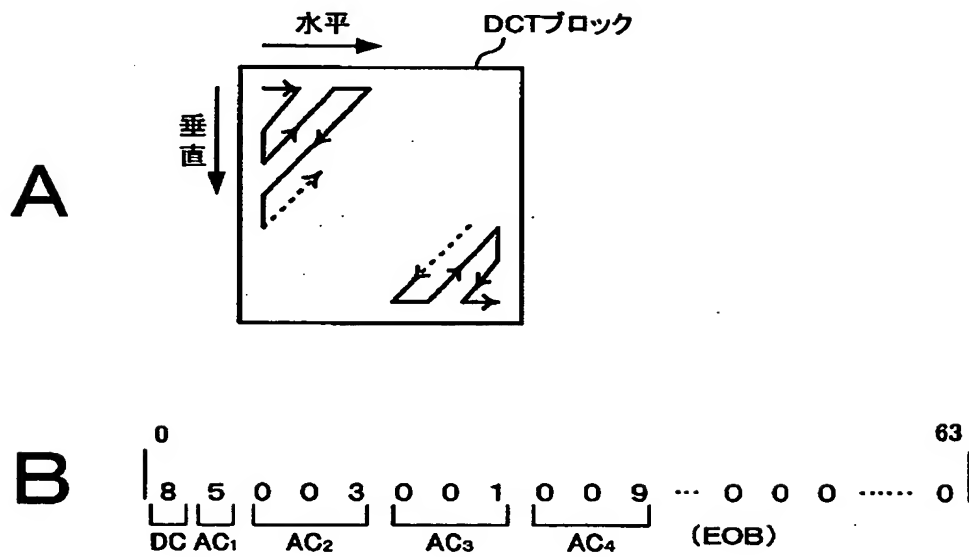
【図18】



【図 1 9】

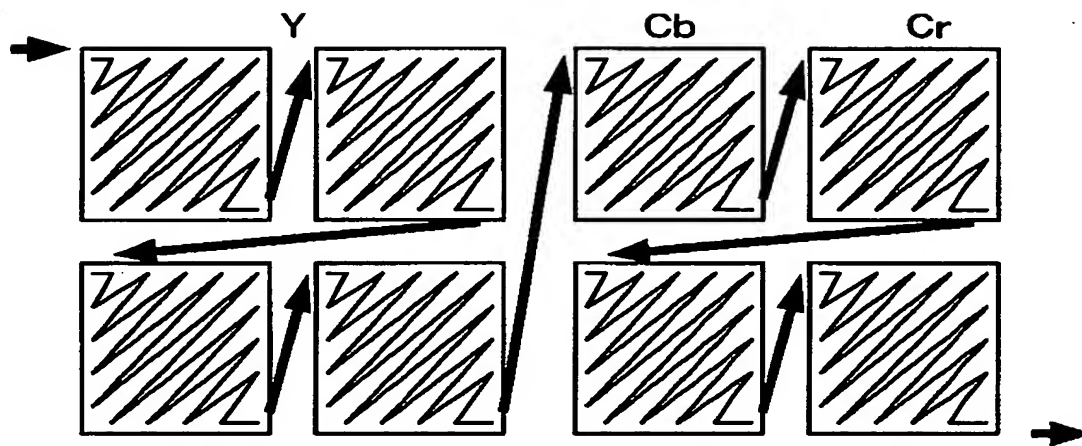


【図 2 0】

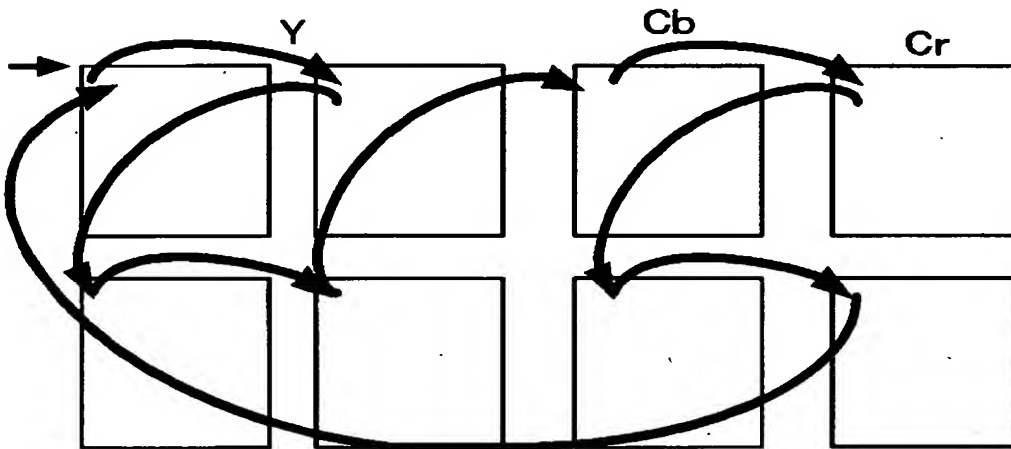


【図 2 1】

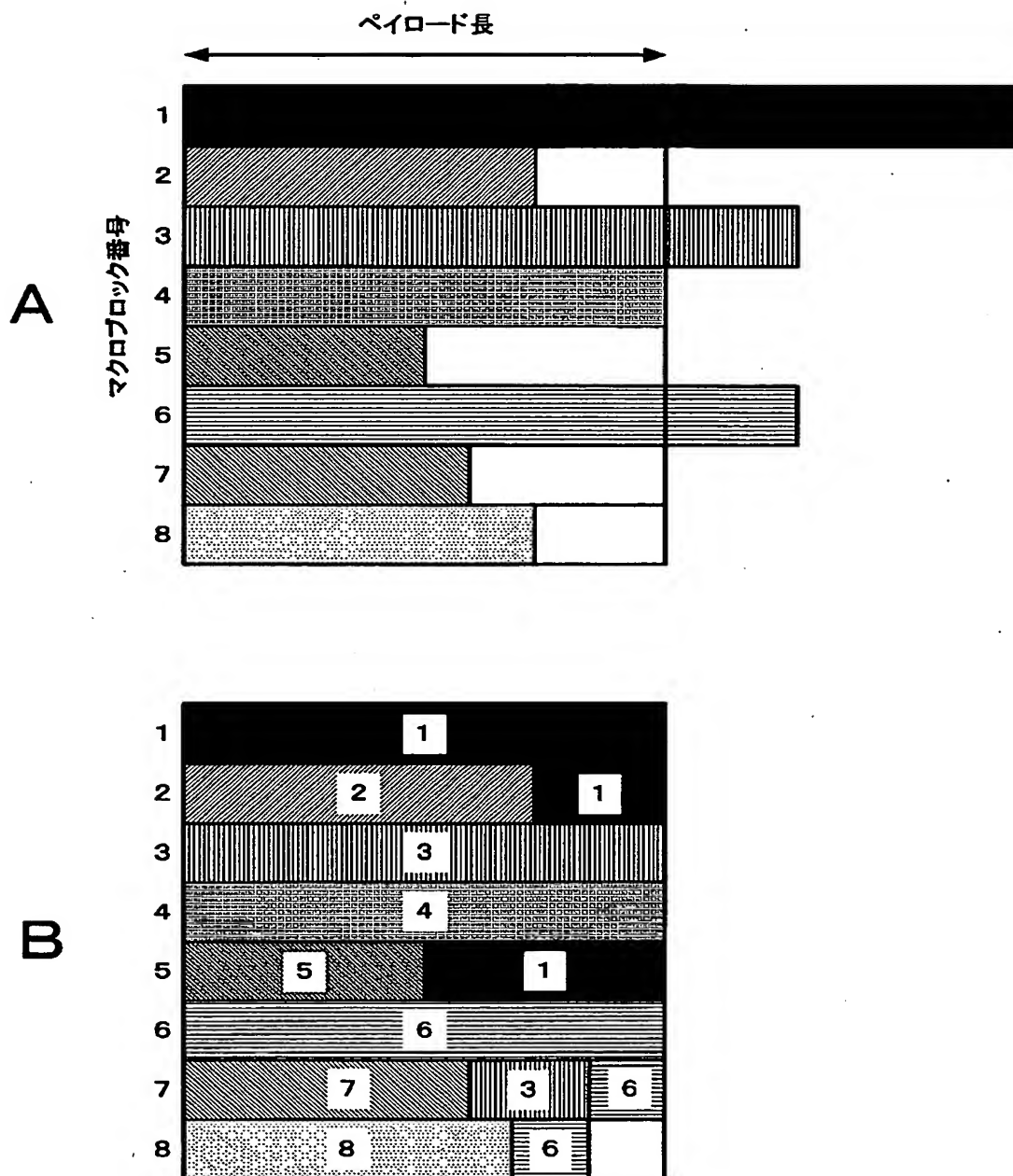
A



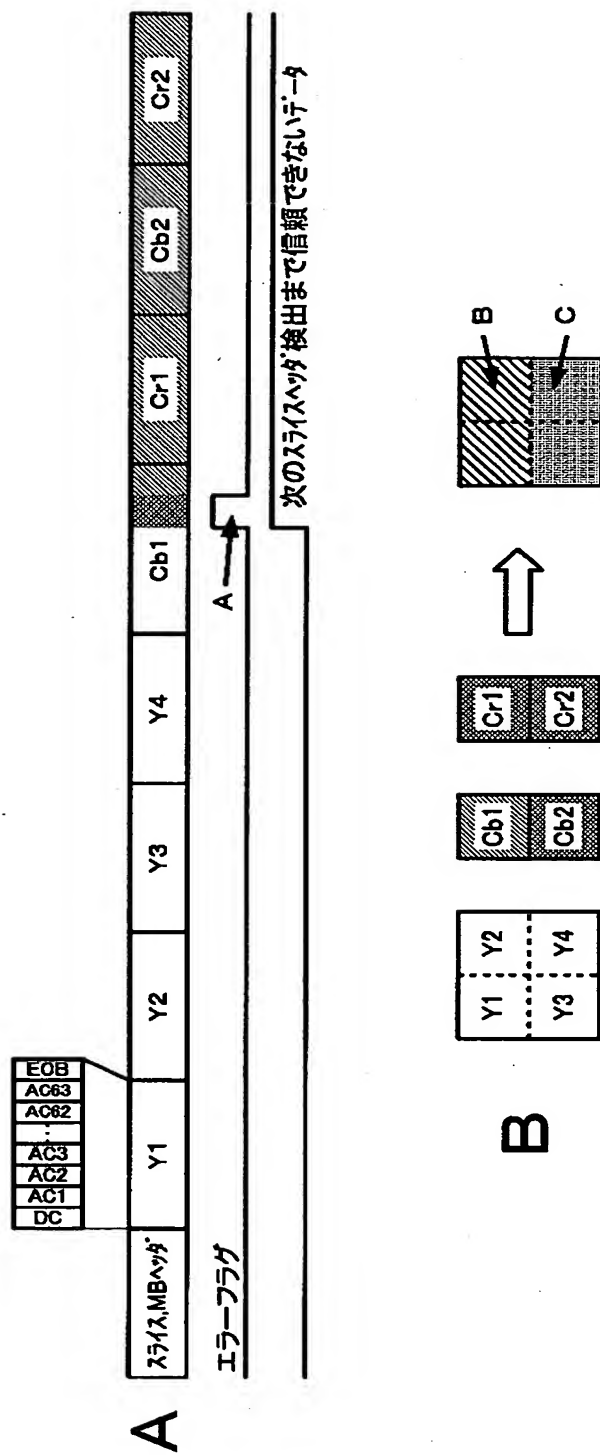
B



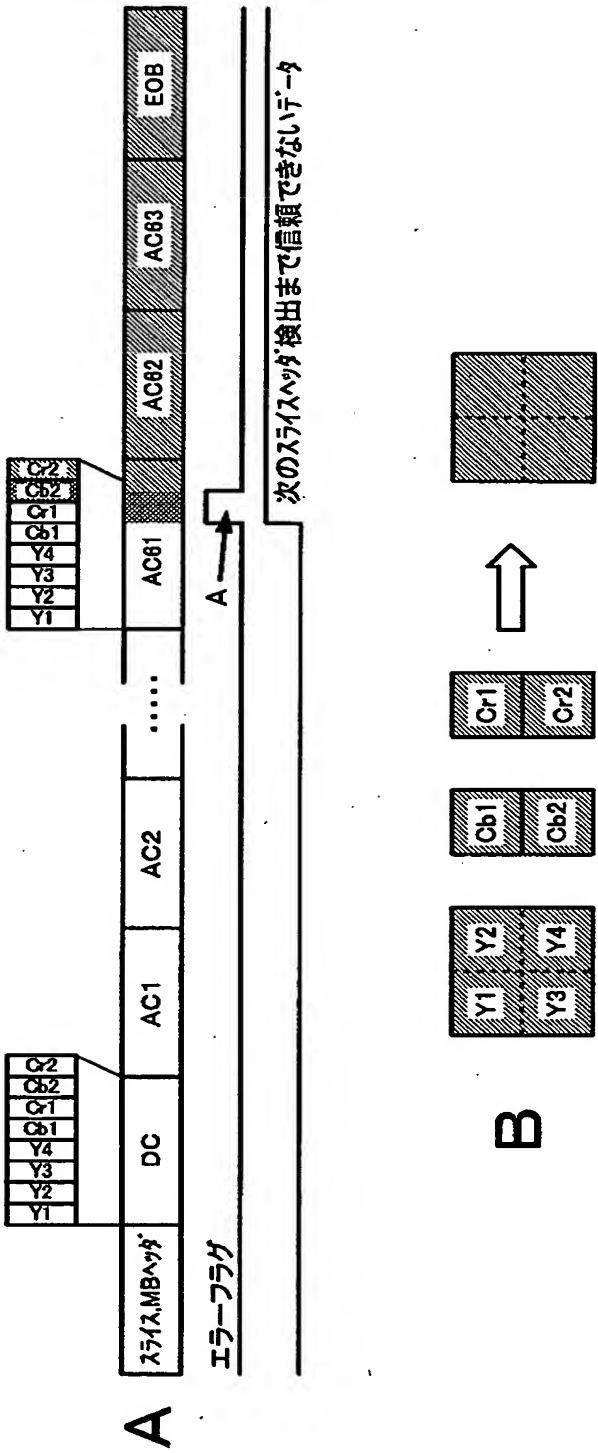
【図22】



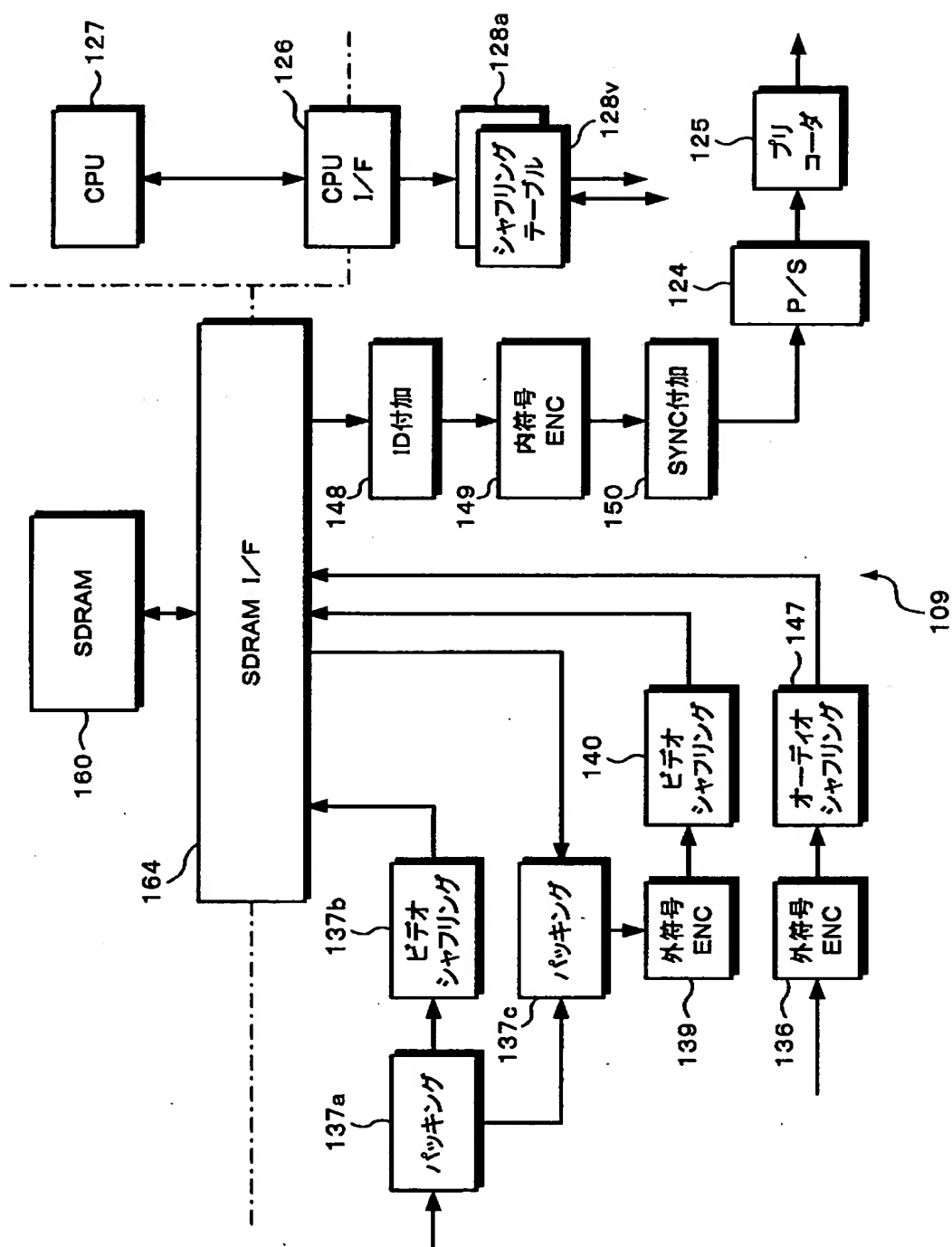
【図 2 3】



【図 2 4】

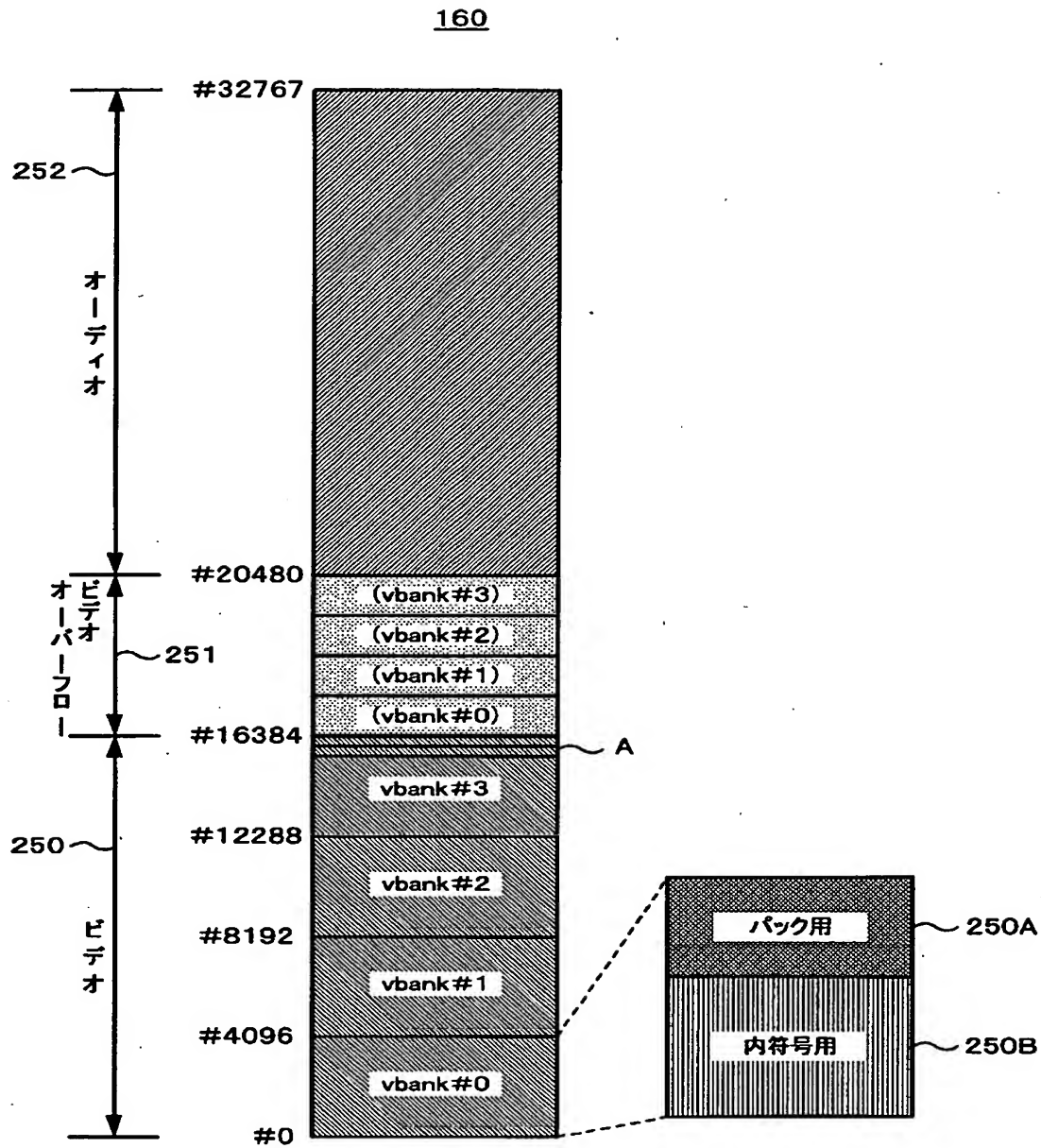


【图 2 5】

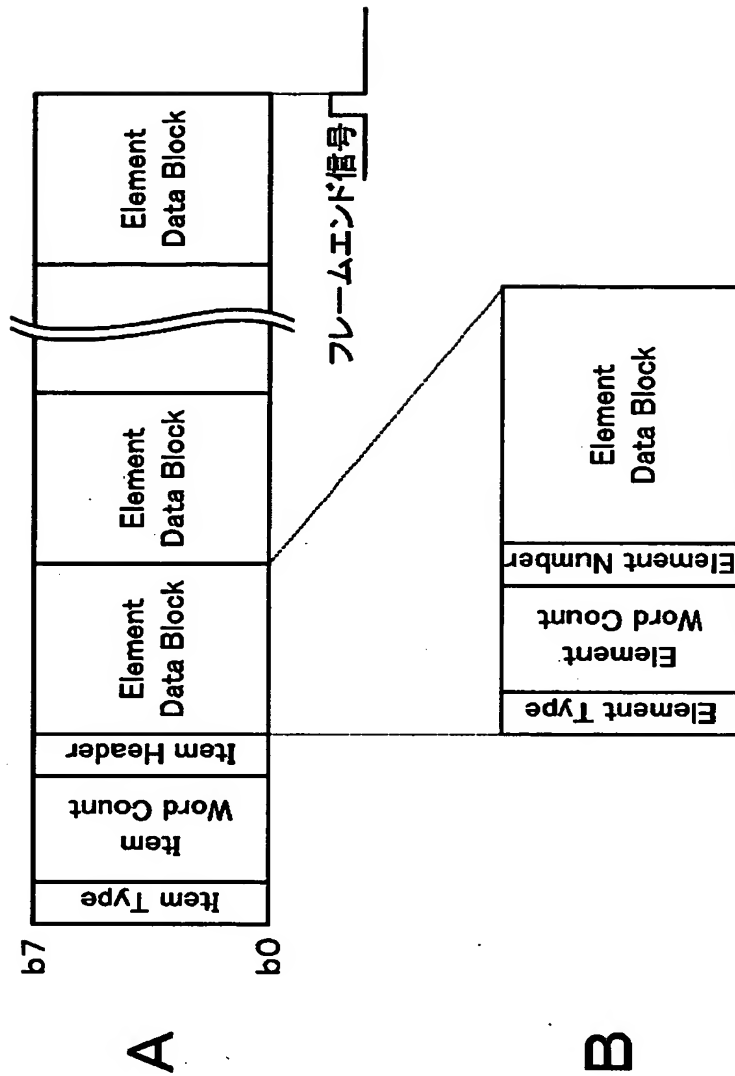




【図 26】

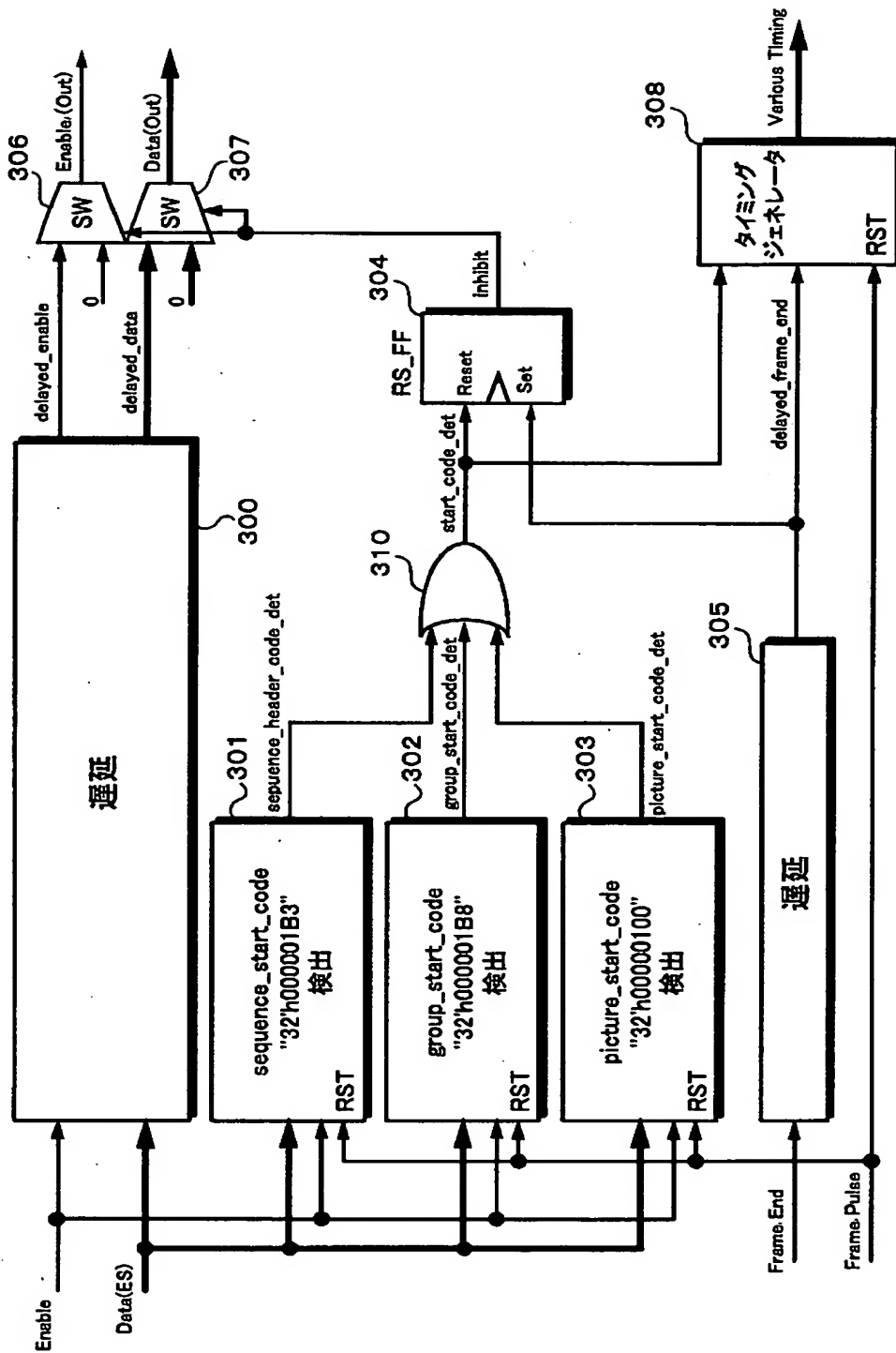


【図 2 7】

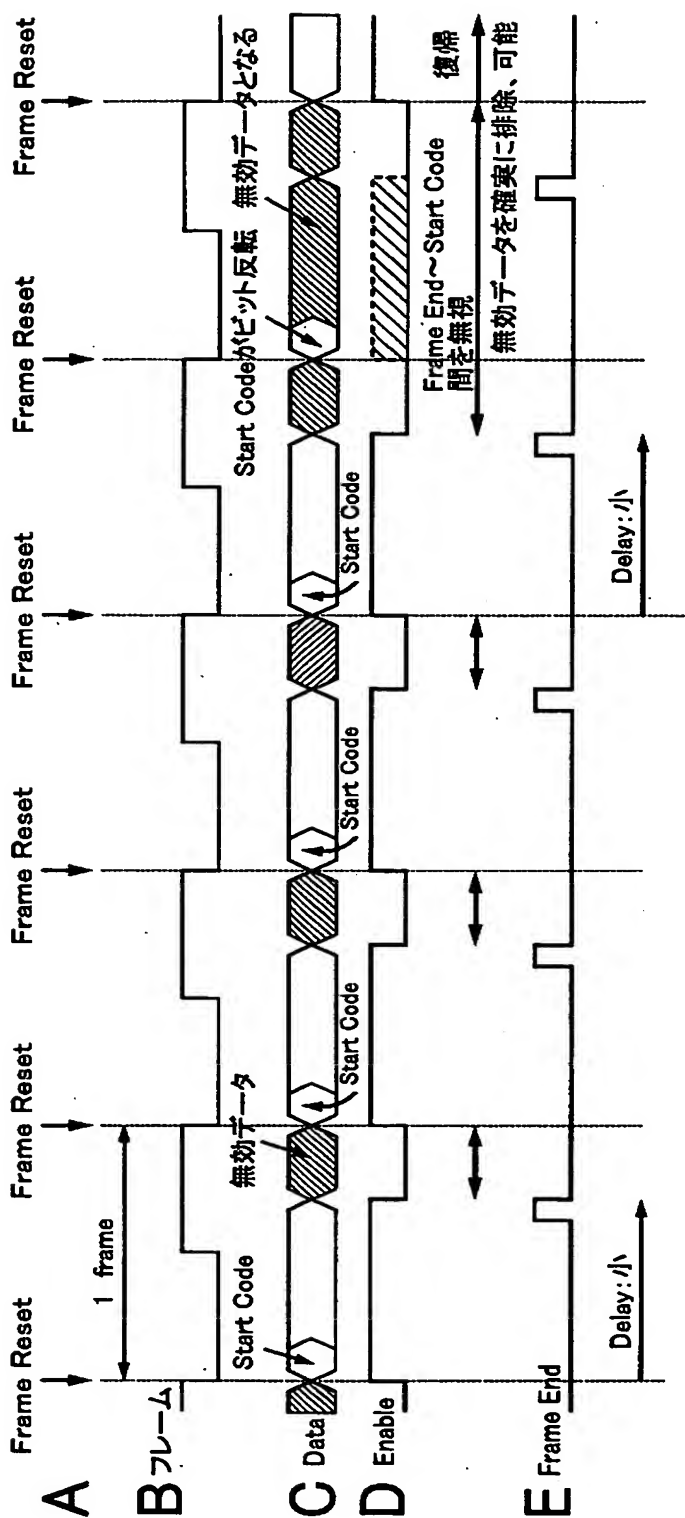


【図 28】

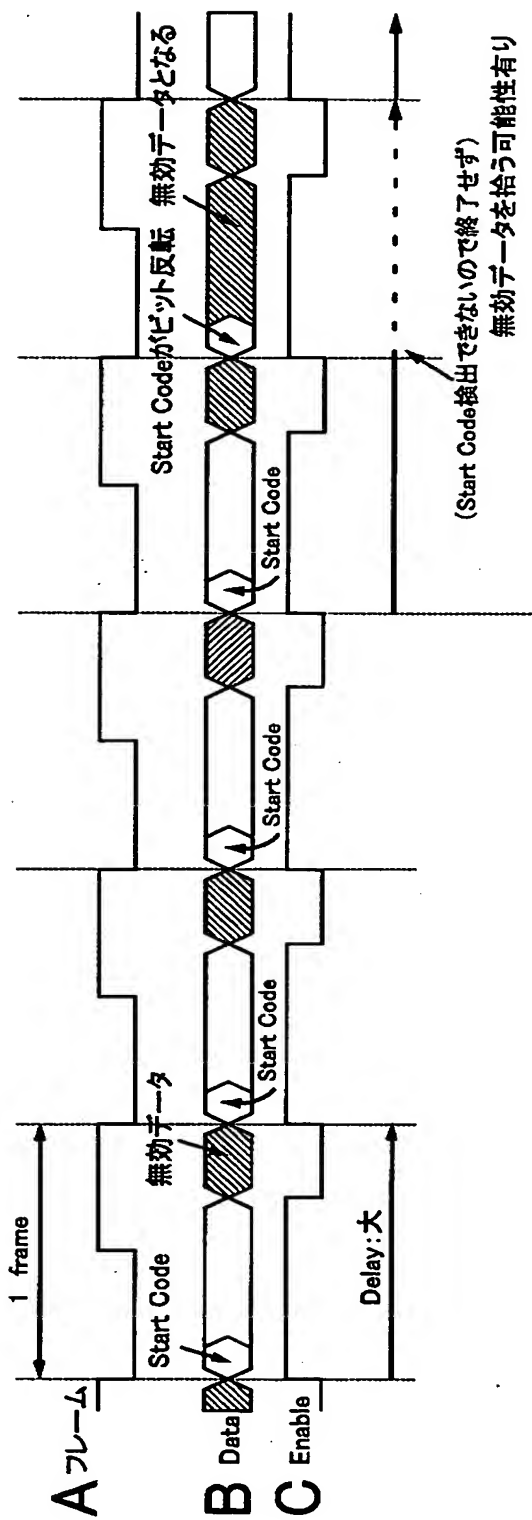
106



【図 29】



【図 30】



【書類名】 要約書

【要約】

【課題】 フレーム単位で可変長符号が格納されたデータを扱う際に、フレーム単位での処理を安定的に行う。

【解決手段】 M P E G ストリームが S D T I フォーマットで入力される。S D T I のフレーム毎のヘッダ情報に基づき、フレーム毎のデータ有効長が求められ、フレーム最後のデータに同期したフレームエンド信号が生成される。フレームエンド信号は、遅延回路 3 0 5 を介して R S \_ F F 3 0 4 のセット端子に入力される。一方、検出回路 3 0 1 ~ 3 0 3 及び O R 回路 3 1 0 によってフレーム先頭に対応するスタートコードが検出され、検出結果が R S \_ F F 3 0 4 のリセット端子に入力される。R S \_ F F 3 0 4 の出力に基づき、フレームエンドパルスが検出されるとイネーブル信号がデータの無効を示す値とされ、スタートコードが検出されるとイネーブル信号がデータの有効を示す値とされるようにスイッチ 3 0 6 が制御される。フレーム終端から次のスタートコードが検出されるまでの間、データが無効とされ、処理ディレイが小さくなると共に、イレギュラーなストリーム入力に対して安定的に動作できる。

【選択図】 図 2 8

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都品川区北品川6丁目7番35号
氏 名	ソニー株式会社